

## 明 細 書

## 半導体処理装置及び I C カード

## 5 技術分野

本発明は、I C カード用マイクロコンピュータなどの半導体処理装置及び I C カードに関し、例えば電氣的に書き換え可能な不揮発性メモリを有する I C カード用マイクロコンピュータに適用して有効な技術に関する。

10

## 背景技術

15

電氣的に書き換え可能な不揮発性メモリとしてメモリブロック単位の一括消去処理及びワード線単位のページ書き込み処理などのように比較的大きな単位による書き込み処理及び消去処理を可能にするいわゆるフラッシュメモリ、或いは C P U による演算処理単位であるバイト或いはワードなどの単位で書き込み処理や消去処理を行うことが可能な E E P R O M (Electrically Erasable and Programmable Read Only Memory) などが提供されている。前記 E E P R O M をオンチップするマイクロコンピュータ、前記フラッシュメモリをオンチップするマイクロコンピュータが夫々提供されている。前者のマイクロコンピュータについて記載された文献の例として特開昭 6 3 - 2 6 6 6 9 8 号公報が有る。後者のマイクロコンピュータについて記載された文献の例として特開平 0 5 - 2 6 6 2 1 9 号公報が有る。

20

25

しかしながら、前記 E E P R O M をオンチップするマイクロコンピュータにあつては、C P U の動作プログラムはオンチップのマスク R O M で提供され、新たなプログラムを開発するときはマスク R O M で提供す

べきプログラムに対するシステムデバッグなどに時間を要し、T A T (Turn Around Time) の短縮が阻まれる。

また、フラッシュメモリをオンチップするマイクロコンピュータにあっては当該フラッシュメモリをCPUのワーク領域のように利用しようとする、消去処理の単位がCPUのデータ処理単位とは整合しない。例えばCPUのデータ転送命令でフラッシュメモリにワード単位のデータを転送して書換えを行なうことは難しい。

また、仮想マシン言語プログラムなどを用いる場合にはプログラムメモリの大容量化が必要になり、チップ占有面積の増大が余儀なくされる。バイト或いはワードなどの単位でデータの書き込み処理や消去処理を行うことが可能なEEPROMにおいてはバイト或いはワードなどの単位でメモリセルを選択するためのスイッチ素子が必要になるから、その分だけフラッシュメモリに比べてチップ占有面積が大きくなる。このようなチップ占有面積増大の要因は、例えば、曲げに対する強度などの要請からチップ面積が制限されるICカード用途では無視し難い。

本発明の目的は、データ及びプログラムの格納に利用するオンチップ不揮発性メモリの大容量化と小型化を実現できる半導体処理装置、さらにはICカードを提供することにある。

本発明の別の目的は、データ及びプログラムの格納にオンチップ不揮発性メモリを利用するとき所要の情報に対する情報記憶の信頼性を向上させて小型化を実現できる半導体処理装置、さらにはICカードを提供することにある。

本発明の上記並びにその他の目的と新規な特徴は本明細書の以下の記述と添付図面から明らかにされるであろう。

## 発明の開示

〔１〕本発明に係る半導体処理装置は、第１データ長単位に記憶情報の消去が行われる第１の不揮発性メモリと、第２データ長単位に記憶情報の消去が行われる第２の不揮発性メモリと、中央処理装置とを有し、  
5 外部と暗号化したデータの入出力が可能である。前記第１の不揮発性メモリは前記データの暗号化に使用する暗号化鍵の格納に使用される。前記第２の不揮発性メモリは前記中央処理装置が処理すべきプログラムの格納に使用される。プログラムの格納と暗号鍵の格納に利用する不揮発性メモリを分け、夫々の不揮発性メモリに対する記憶情報の消去単位  
10 のデータ長が別々に規定されるから、プログラムの書き込み処理を行なう前の記憶情報の消去を効率化でき、CPUの演算処理で利用する暗号鍵等の書き込みにおいては必要な処理単位のデータ長（例えば８ビット）に合わせて記憶情報の消去を行なうことができる。前記処理単位のデータ長毎にメモリセルを分離するスイッチ素子はプログラム格納用の  
15 の第２の不揮発性メモリには不要である。この点において、プログラムを格納するような大容量を要する第２の不揮発性メモリの回路規模の縮小が実現される。第１の不揮発性メモリにプログラムとデータの双方を格納する場合に比べて、半導体処理装置にオンチップされる不揮発性メモリの小型化を達成でき、その分記憶容量を増やすことが可能になる。

20 本発明の具体的な態様として、前記第１の不揮発性メモリは更に個人を特定するために用いられる第１データ長の情報の格納に使用することができる。

本発明の望ましい形態では、上記より明らかなように、前記第１データ長は前記第２データ長よりも短い方がよい。

25 本発明の更に具体的な態様として、前記半導体処理装置は外部との入出力に用いられる端子を有し、前記プログラムは前記端子を介して外部

から供給され前記第 2 の不揮発性メモリに格納されるようにするのが望ましい。前記端子を介して容易にプログラムを格納することが可能になる。

5 データ処理の効率化を考慮すれば、前記中央処理装置は前記第 1 の不揮発性メモリと前記第 2 の不揮発性メモリとを並行してアクセス処理可能であるのがよい。

10 不揮発性メモリによるチップ占有面積面を更に低減することを考慮する。すなわち、前記第 1 の不揮発性メモリは複数のメモリセルから成るメモリアレイ部と選択されたメモリセルへのアクセス制御を行なう制御部とを有し、前記第 2 の不揮発性メモリは複数のメモリセルから成るメモリアレイ部と選択されたメモリセルへのアクセス制御を行なう制御部とを有し、このとき、前記第 1 の不揮発性メモリの制御部と前記第 2 の不揮発性メモリの制御部は少なくとも一部において共通であるのがよい。

15 具体的な態様として、前記共通とされる制御部の一部は、メモリセルからデータを読み出す際の読み出し信号を増幅するために用いられるアンプ回路である。また、前記共通とされる制御部の一部は、メモリセルにアクセスする際にメモリセルに印加する電圧を発生させる電圧発生回路である。また、前記共通とされる制御部の一部は、メモリセルに  
20 アクセスする際にメモリセルを選択するデコーダ回路である。デコーダ回路を共通化する場合には、双方の不揮発性メモリにおけるメモリセルは回路構成が同一であることが望ましい。メモリセルのピッチが等しくなり、メモリセルを選択する信号線の配線ピッチ等を双方の不揮発性メモリ間で同じにできる。

25 [ 2 ] 本発明に係る I C カードは、第 1 データ長単位に記憶情報の消去が行われる第 1 の不揮発性メモリと、第 2 データ長単位に記憶情報の

消去が行われる第2の不揮発性メモリと、中央処理装置と、外部とデータの入出力を行なうための端子とを合成樹脂に封入して備える。前記外部とは暗号化したデータの入出力が行われる。前記第1の不揮発性メモリは前記データの暗号化に使用する暗号化鍵の格納に使用される。前記第2の不揮発性メモリは前記中央処理装置が処理すべきプログラムの格納に使用される。上記半導体処理装置と同様に、プログラムの書き込み処理を行なう前の記憶情報の消去を効率化でき、CPUの演算処理で利用する暗号鍵等の書き込みにおいては必要な処理単位のデータ長に合わせて記憶情報の消去を行なうことができる。また、第1の不揮発性メモリにプログラムとデータの双方を格納する場合に比べて、半導体処理装置にオンチップされる不揮発性メモリの小型化を達成でき、その分記憶容量を増やすことが可能になる。

外部と非接触インタフェースを行なう場合には外部とデータの入出力を行なうためのアンテナをICカードに搭載すればよい。

前記中央処理装置、第1の不揮発性メモリ及び第2の不揮発性メモリは単一の半導体基板に形成してよい。更には、前記中央処理装置と第1の不揮発性メモリを第1の半導体基板上に形成し、前記第2の不揮発性メモリは第2の半導体基板上に形成してよい。前記第1の不揮発性メモリにはデータを格納するためにメモリセルに窒化膜を用いてもよい。窒化膜は電荷をトラップする性質を有する絶縁膜であり、導体のフローティングゲートを用いる場合に比べて記憶情報の保持性能に優れる。不揮発性メモリのメモリセルにフローティングゲートを用いることは妨げない。

〔3〕別の観点による本発明の半導体処理装置は、第1データ長単位に記憶情報の消去が行われる第1の不揮発性メモリと、第2データ長単位に記憶情報の消去が行われる第2の不揮発性メモリと、中央処理装置

とを有し、外部とは暗号化したデータの入出力が可能である。前記第 1 の不揮発性メモリと第 2 の不揮発性メモリは夫々複数のメモリセルを有する。夫々のメモリセルはソース領域、ドレイン領域、及び前記ソース領域とドレイン領域の間のチャンネル領域を有し、前記チャンネル領域上部に絶縁層を介してデータ蓄積性絶縁層と第 1 ゲートとを有し、前記データ蓄積性絶縁層上部に第 2 ゲートを有する。前記第 1 の不揮発性メモリと第 2 の不揮発性メモリはそれぞれ複数の第 1 ワード線を有し、第 1 の不揮発性メモリで記憶情報の消去が行われるとき上記第 1 ワード線に、対応するメモリセルが接続され、第 2 の不揮発性メモリで記憶情報の消去が行われるとき上記第 1 ワード線に、対応するメモリセルが接続され、第 1 の不揮発性メモリにおいて上記第 1 ワード線に接続されるメモリセルの数は、第 2 の不揮発性メモリにおいて上記第 1 ワード線に接続されるメモリセルの数よりも少ない。これによれば、第 1 不揮発性メモリに対する記憶情報の消去単位のデータ長は第 2 不揮発性メモリに対する記憶情報の消去単位のデータ長よりも短い。したがって、プログラムの格納とデータの格納に利用する不揮発性メモリを分け、夫々の不揮発性メモリに対して記憶情報の消去を行なうときの単位データ長が別々に規定されるから、プログラムの書き込み処理を行なう前の記憶情報の消去を効率化でき、CPU の演算処理で利用する暗号鍵などの書き込み処理においては必要な処理単位のデータ長に合わせて記憶情報の消去を行なうことができる。必要な処理単位のデータ長毎にメモリセルを分離するスイッチ素子はプログラム格納用の第 2 の不揮性メモリには不要である。この点において、プログラムを格納するような大容量を要する第 2 の不揮性メモリの回路規模の縮小が実現される。第 1 の不揮発性メモリにプログラムとデータの双方を格納する場合に比べて、半導体処理装置にオンチップされる不揮発性メモリの小型化を達成でき、そ

の分記憶容量を増やすことが可能になる。更に双方の不揮発性メモリのメモリセルにはデータ蓄積性絶縁層を採用するから記憶情報の保持性能に優れ、また、データ蓄積性絶縁層には第1ゲートで制御される電流によるホットエレクトロンの注入で書込みを行なうことも可能になる。

- 5       本発明の具体的な態様として、前記第1ワード線と同数の第2ワード線を有し、前記第1ワード線は夫々のメモリセルの第2ゲートに接続され、前記第2ワード線は夫々のメモリセルの第1ゲートに接続される。また、前記第1の不揮発性メモリにおいて、記憶情報の消去が行われるとき、記憶情報の消去対象とする一部のメモリセルの第2ゲートを第1
- 10       ワード線に接続可能にするスイッチ素子を有する。このスイッチ素子が記憶情報消去のデータ長単位にメモリセルを分離するスイッチを実現する。前記スイッチ素子は不揮発性メモリセルと同一導電型のMOSトランジスタである。導電型が異なる場合にはウェル領域に前記スイッチ素子を形成しなければならないからチップ占有面積が増大する。

- 15       〔4〕更に別の観点による本発明の半導体処理装置は、第1データ長単位に記憶情報の消去が行われる第1の不揮発性メモリと、第2データ長単位に記憶情報の消去が行われる第2の不揮発性メモリと、中央処理装置と、外部インタフェース回路とを有する。前記第1の不揮発性メモリはデータの格納に使用され、前記第2の不揮発性メモリは前記中央処
- 20       理装置が処理すべきプログラムの格納に使用され、前記第1データ長は前記第2データ長よりも短い。上記同様に、プログラムの書き込み処理を行なう前の記憶情報の消去を効率化でき、CPUの演算処理で利用する暗号鍵などの書き込み処理においては必要な処理単位のデータ長に合わせて記憶情報の消去を行なうことができる。また、第1の不揮発性
- 25       メモリにプログラムとデータの双方を格納する場合に比べて、半導体処理装置にオンチップされる不揮発性メモリの小型化を達成でき、その分

記憶容量を増やすことが可能になる。

本発明の具体的な態様として、前記不揮発性メモリセルは、半導体基板に、ソース領域、ドレイン領域、及び前記ソース領域とドレイン領域に挟まれたチャンネル領域とを有し、前記チャンネル領域上には、第1絶縁膜を介して配置されたコントロールゲート電極と、第2絶縁膜及び電荷蓄積性絶縁膜を介して配置され前記コントロールゲート電極と電気的に分離されたメモリゲート電極とを有し、前記コントロールゲート電極のゲート耐圧は前記メモリゲート電極のゲート耐圧よりも低い。例えば、前記コントロールゲート電極のゲート耐圧は前記CPUに含まれるMOSトランジスタのゲート耐圧に等しい。

前記コントロールゲート電極を有する選択用のMOSトランジスタ部に対しては、相対的に低い絶縁耐圧故に、比較的低いゲート電圧で比較的大きな $G_m$ （相互コンダクタンス）を得ることが容易になり、不揮発性メモリセルからの読み出し電流に対して $G_m$ を相対的に大きくする事ができ、読み出し速度の高速化に寄与する。

不揮発性メモリセルの前記メモリゲートから見た閾値電圧を比較的高く設定するには、例えばメモリゲート電極に高電圧を印加し、コントロールゲート電極側をオン状態にしてソース線からビット線に電流を流し、コントロールゲート電極側の電荷蓄積領域近傍で発生したエレクトロンを電荷蓄積領域に保持させればよい。逆に比較的低い閾値電圧を設定するには、例えば、メモリゲート電極に高電圧を印加し、コントロールゲート電極側をオン状態にしてビット線接続電極及びソース線接続電極を回路の接地電位とし、電荷蓄積領域に保持されているエレクトロンをメモリゲート電極に放出させればよい。したがって、不揮発性メモリセルに比較的低い閾値電圧又は比較的高い閾値電圧を設定する動作は、コントロールゲート制御線やビット線に高電圧を印加することな



く実現することが可能である。このことは、コントロールゲート電極側のゲート耐圧が比較的低くてよいことを保証する。

本発明の具体的な態様として、第1の不揮発性メモリは第1データ長単位に記憶情報の消去が行なわれたメモリセルに対する情報保持を第1データ長単位に行なう。第2の不揮発性メモリは第2データ長単位に記憶情報の消去が行なわれたメモリセルに対する情報保持を第2データ長よりも短い単位で行なう。

〔5〕更に別の観点による本発明のICカードは、第1データ長単位に記憶情報の消去が行われる第1の不揮発性メモリと、第2データ長単位に記憶情報の消去が行われる第2の不揮発性メモリと、中央処理装置と、外部とデータの入出力を行うための端子とを合成樹脂に封入して備える。前記第1の不揮発性メモリはデータの格納に使用される。前記第2の不揮発性メモリは前記中央処理装置が処理すべきプログラムの格納に使用される。前記第1データ長は前記第2データ長よりも短い。前記外部とデータの入出力を行うための端子と共に、或は前記端子に代えて、外部とデータの入出力を行なうためのアンテナを備えて良い。

不揮発性メモリセルとして前記選択トランジスタ部とメモリセルトランジスタ部から成り選択トランジスタ部の絶縁耐圧がメモリセルトランジスタ部の絶縁耐圧よりも低くされたメモリセル構造を採用してよい。

〔6〕更に別の観点による本発明の半導体処理装置は、前記CPUを省いて第1の不揮発性メモリと第2の不揮発性メモリとを主体に上述同様に構成される。

## 図面の簡単な説明

第1図は本発明に係る半導体処理装置の一例であるマイクロコンピ

ュータのブロック図である。

第2図はマイクロコンピュータの別の例を示すブロック図である。

第3図はEEPROM及びフラッシュメモリに採用されている不揮発性メモリセルの構造を例示する縦断面図である。

5 第4図はメモリセルの読み出し、書き込み処理、消去処理における電圧印加態様を例示する説明図である。

第5図はメモリセルの閾値電圧特性を例示する説明図である。

第6図はフラッシュメモリのようにバイト分割を採用しないときのメモリアレイの様子を消去処理状態を一例に示す回路図である。

10 第7図は第6図のメモリアレイにおける書き込み処理状態を例示する回路図である。

第8図はEEPROMのようにバイト分割を採用したときのメモリアレイの様子を消去処理状態を一例に示す回路図である。

15 第9図は第8図のメモリアレイにおける書き込み処理状態を例示する回路図である。

第10図は第8図のメモリアレイにおける読み出し動作状態を例示する回路図である。

20 第11図は第8図で説明したバイト選択トランジスタ $T_{ij}$ にpMOSトランジスタを用いたメモリアレイにおけるバイト選択トランジスタが配置されたバイト境界部分のデバイス構造平面レイアウト図である。

第12図は第11図のA-A'断面図である。

25 図13はバイト選択トランジスタにnMOSトランジスタを採用したときのメモリアレイの様子が消去処理状態を一例に示される回路図である。

第14図は第13図のメモリアレイにおける書き込み処理状態を例

示する回路図である。

第 1 5 図は第 1 3 図のメモリアレイにおける読み出し動作状態を例示する回路図である。

5 第 1 6 図はバイト選択トランジスタをソース線側に設けたときのメモリアレイの様子を消去処理状態を一例に示す回路図である。

第 1 7 図は第 1 6 図のメモリアレイにおける書き込み処理状態を例示する回路図である。

第 1 8 図は第 1 6 図のメモリアレイにおける読み出し動作状態を例示する回路図である。

10 第 1 9 図は第 1 6 図のメモリアレイにおけるバイト選択トランジスタが配置されたバイト境界部分のデバイス構造平面レイアウト図である。

15 第 2 0 図は全てのメモリセルの共通ソース線側に選択トランジスタを設けたメモリアレイの様子を消去動作状態を一例に示す回路図である。

第 2 1 図は第 2 0 図のメモリアレイにおけるバイト単位の書き込み処理状態を例示する回路図である。

第 2 2 図は第 2 0 図のメモリアレイにおけるバイト単位の読み出し動作状態を例示する回路図である。

20 第 2 3 図は第 2 0 図のメモリアレイにおけるデバイス構造平面レイアウト図である。

第 2 4 図は不揮発性メモリモジュールのブロック図である。

第 2 5 図はフラッシュメモリを例示するブロック図である。

第 2 6 図は E E P R O M を例示するブロック図である。

25 第 2 7 図は書き込み読み出し回路を例示するブロック図である。

第 2 8 図はセンスアンプ及び書き込み電流源の一例を示す回路図で

ある。

第 29 図はセンスアンプ及び書き込み電流源の別の例を示す回路図である。

5 第 30 図はフラッシュメモリと E E P R O M の並列書き込み処理を示すフローチャートである。

第 31 図はフラッシュメモリと E E P R O M の並列的な書き込み処理及び読み出し動作を示すフローチャートである。

第 32 図はフラッシュメモリと E E P R O M の並列的な消去処理及び読み出し動作示すフローチャートである。

10 第 33 図は第 30 図乃至第 32 図のフローチャートの処理に係るフラッシュメモリと E E P R O M の主なアクセス仕様を例示する説明図である。

第 34 図は書き込み読み出し回路の別の例を示す回路図である。

第 35 図は書き込み読み出し回路の更に別の例を示す回路図である。

15 第 36 図は第 35 図の折り返しビット線構造のフラッシュメモリにおけるメモリセルの選択手法の一例を示す回路図である。

第 37 図は不揮発性メモリモジュールの別の例を示すブロック図である。

20 第 38 図は C P U のアドレス空間における E E P R O M とフラッシュメモリのマッピングを例示する説明図である。

第 39 図は C P U による消去方法の第 1 の例を示す説明図である。

第 40 図は C P U による消去方法の第 2 の例を示す説明図である。

第 41 図は C P U による消去方法の第 3 の例を示す説明図である。

25 第 42 図は C P U による書き込み方法の第 1 の例を示す説明図である。

第 43 図は C P U による書き込み方法の第 2 の例を示す説明図であ

る。

第 4 4 図は CPU による書き込み方法の第 3 の例を示す説明図である。

5 第 4 5 図は接触インタフェース形式の IC カードの外観を例示する平面図である。

第 4 6 図は非接触インタフェース形式の IC カードの外観を例示する平面図である。

発明を実施するための最良の形態

## 10 《マイクロコンピュータ》

第 1 図には本発明に係る半導体処理装置の一例としてマイクロコンピュータが例示される。同図に示されるマイクロコンピュータ 1 は、特に制限されないが、所謂 IC カードマイコンと称されるマイクロコンピュータである。同図に示されるマイクロコンピュータ 1 は、単結晶シリコンなどの 1 個の半導体基板若しくは半導体チップに CMOS などの  
15 半導体集積回路製造技術によって形成される。

マイクロコンピュータ 1 は、CPU 2、RAM (ランダム・アクセス・メモリ) 4、タイマ 5、不揮発性メモリモジュール 6、コプロセッサ 7、クロック生成回路 9、システムコントロールロジック 11、入出力ポート (I/O ポート) 12、データバス 13、及びアドレスバス 14 を有  
20 する。

前記不揮発性メモリモジュール 6 は CPU 2 の動作プログラム及びデータなどを格納するのに利用される。前記 RAM 4 は CPU 2 のワーク領域又はデータの一時記憶領域とされ、例えば SRAM (スタティク・ランダム・アクセス・メモリ) 若しくは DRAM (ダイナミック・ランダム・アクセス・メモリ) から成る。前記 CPU 2 は、不揮発性メモリ  
25

モジュール 6 から命令をフェッチし、フェッチした命令をデコードし、デコード結果に基づいてオペランドフェッチやデータ演算を行う。コプロセッサ 7 は R S A や楕円曲線暗号演算における剰余乗算処理などを C P U 2 に代わって行うプロセッサユニットとされる。I / O ポート 1 2 は 2 ビットの入出力端子 I / O 1 , I / O 2 を有し、データの入出力と外部割り込み信号の入力に兼用される。I / O ポート 1 2 はデータバス 1 3 に結合され、データバス 1 3 には前記 C P U 2 、 R A M 4 、タイマ 5 、不揮発性メモリモジュール 6 、及びコプロセッサ 7 が接続される。マイクロコンピュータ 1 において C P U 2 がバスマスタモジュールとされ、前記 R A M 4 、タイマ 5 、不揮発性メモリモジュール 6 、及びコプロセッサ 7 に接続されるアドレスバス 1 4 にアドレス信号を出力可能にされる。システムコントロールロジック 1 1 はマイクロコンピュータ 1 の動作モードの制御及び割り込み制御を行い、更に暗号鍵の生成に利用する乱数発生ロジックを有する。R E S / はマイクロコンピュータ 1 に対するリセット信号である。マイクロコンピュータ 1 はリセット信号 R E S / によってリセット動作が指示されると、内部が初期化され、C P U 2 は不揮発性メモリモジュール 6 のプログラムの先頭番地から命令実行を開始する。クロック生成回路 9 は外部クロック信号 C L K を受けて内部クロック信号 C K を生成する。マイクロコンピュータ 1 は内部クロック信号 C K に同期動作される。

特に制限されないが、前記 C P U 2 は所謂 3 2 ビット C P U であり、3 2 ビット (ワード) 単位で演算処理が可能にされ、図示はしないが、3 2 ビットの汎用レジスタ、3 2 ビットの算術論理演算器などを有し、前記データバス 1 3 は 3 2 ビットとされる。したがって、C P U 2 の命令セットに含まれるデータ転送命令や、演算命令は、ほとんどが 3 2 ビット単位でデータを処理することができる。

前記不揮発性メモリモジュール 6 は、特に制限されないが、夫々電氣的に消去処理及び書込み処理が可能にされる E E P R O M 2 1 とフラッシュメモリ 2 2 とを有する。ここで消去処理とはメモリセルが保持する記憶情報を消去する一つの手法であり、例えばメモリセルの閾値電圧を低くする処理を意味する。この処理によって実現されるメモリセルの閾値電圧が低い状態を消去状態と称する。書き込み処理とはメモリセルに情報を保持させるための一つの手法であり、例えばメモリセルの閾値電圧を高くする処理を意味する。この処理によって実現されるメモリセルの閾値電圧が高い状態を書き込み状態と称する。E E P R O M 2 1 は、第 1 データ長単位に記憶情報の消去が行なわれる第 1 の不揮発性メモリの一例であり、例えば 8 ビット単位で消去処理が可能にされ、書込み処理と読み出しは 3 2 ビット単位で可能にされる。フラッシュメモリ 2 2 は第 2 のデータ長単位に記憶情報の消去が行われる第 2 の不揮発性メモリの一例であり、書込みは 1 0 2 4 ビットのようなワード線単位で行われ（ページ書込み）、消去処理は単数又は複数のワード線を単位とするブロック単位で行われ、読み出しは 3 2 ビット単位で行われる。E E P R O M 2 1 は入出力データの暗号化に利用する暗号鍵、個人を特定するために用いられる I D 情報などの、所定の演算処理単位 of データ等を格納する領域として用いられる。ここでは所定の演算処理単位は例えば 8 ビット（1 バイト）である。フラッシュメモリ 2 2 は C P U 2 が処理するプログラムの格納に利用される。例えば、仮想マシン言語プログラム、暗号化プログラム、復号プログラムなどを格納する。

プログラムの格納と暗号鍵等のデータの格納に利用する不揮発性メモリを E E P R O M 2 1 とフラッシュメモリ 2 2 に分け、夫々の不揮発性メモリに対する記憶情報の消去単位 of データ長が別々に規定されるから、プログラムの書き込み処理前に行なう記憶情報の消去を効率化で

き、CPU 2 の演算処理で利用する暗号鍵等の書き込み処理においては必要な演算処理単位のデータ長（例えば 8 ビット）に合わせて記憶情報の消去を行なうことができる。8 ビット単位のデータ長毎にメモリセルを分離するスイッチ素子はプログラム格納用のフラッシュメモリ 2 2 には不要である。この点において、プログラムを格納するような大容量を要するフラッシュメモリ 2 2 の回路規模の縮小が実現される。EEPROM にプログラムとデータの双方を格納する場合に比べて、マイクロコンピュータにオンチップされる不揮発性メモリモジュール 6 の小型化を達成でき、その分記憶容量を増やすことが可能になる。第 1 図に示されるマイクロコンピュータ 1 は外部との情報入出力及び動作電源は図示を省略する電極パッド等の外部端子を介して行なう。

第 2 図にはマイクロコンピュータ 1 の別の例が示される。同図に示されるマイクロコンピュータ 1 は、第 1 図のマイクロコンピュータと外部インタフェース手段が相違される。すなわち第 2 図のマイクロコンピュータは図示を省略するアンテナに接続可能なアンテナ端子 TML 1, TML 2 を有する高周波部 1 5 を備える。高周波部 1 5 は前記アンテナが所定の電波（例えばマイクロ波）を横切ることによって生ずる誘導電流を動作電源として電源電圧 Vcc を出力し、リセット信号 RES 及びクロック信号 CK を生成し、アンテナから非接触で情報の入出力を行なう。I/O ポートは外部と入出力すべき情報を RF 部 1 5 とやり取りする。《不揮発性メモリセル》

第 3 図には前記 EEPROM 2 1 及びフラッシュメモリ 2 2 に採用されている不揮発性メモリセルの構造が縦断面によって例示される。ここでは、特に制限されないが、EEPROM 2 1 とフラッシュメモリ 2 2 に同じ不揮発性メモリセルを用いる。

第 3 図に例示される不揮発性メモリセル（単にメモリセルとも記す）



MCは、シリコン基板上に設けたp型ウェル領域25に、情報記憶に用  
いるMOS型のメモリトランジスタ部26と、前記メモリトランジスタ  
部26を選択するMOS型の選択トランジスタ部27とを有して成る。  
メモリトランジスタ部26は、ソース線に接続するソース線接続電極と  
5 としてのn型拡散層（n型不純物領域）30、電荷蓄積性絶縁膜（例えば  
シリコン窒化膜）31、電荷蓄積性絶縁膜31の上下に配置された絶縁  
膜（例えば酸化シリコン膜）32、33、及び書込み処理・消去処理時  
に高電圧を印加するためのメモリゲート電極（例えばn型ポリシリコン  
層）34を有する。例えば前記絶縁膜32は膜厚5nm、電荷蓄積性絶  
10 縁膜31は膜厚10nm（酸化シリコン膜換算）、前記絶縁膜33は膜  
厚3nmとされる。前記選択トランジスタ部27は、ビット線に接続す  
るビット線接続電極としてのn型拡散層（n型不純物領域）35、ゲー  
ト絶縁膜（例えば酸化シリコン膜）36、コントロールゲート電極（例  
えばn型ポリシリコン層）37、前記コントロールゲート電極37とメ  
15 モリゲート電極14を絶縁する絶縁膜（例えば酸化シリコン膜）38を  
有する。

前記メモリトランジスタ部26の電荷蓄積性絶縁膜31とその表裏  
に配置された絶縁膜32及び絶縁膜33（併せてONO（酸化膜・窒化  
膜・酸化膜）構造のメモリゲート絶縁膜となる）との膜厚の総和を $t_m$ 、  
20 コントロールゲート電極37のゲート絶縁膜36の膜厚を $t_c$ 、コント  
ロールゲート電極37と電荷蓄積性絶縁膜31との間の絶縁膜38の  
膜厚を $t_i$ とすると、 $t_c < t_m \leq t_i$ の関係が実現されている。この  
絶縁膜厚さの関係より、選択トランジスタ部27のゲート絶縁耐圧はメ  
モリトランジスタ部26のゲート絶縁耐圧よりも低くされる。

25 尚、拡散層35の部分に記載されたドレイン（Drain）の語はデ  
ータ読み出し動作において当該拡散層35がトランジスタのドレイン

電極として機能し、拡散層 30 の部分に記載されたソース (Source) の語はデータ読み出し動作において当該拡散層 30 がトランジスタのソース電極として機能することを意味する。消去処理・書き込み処理ではドレイン電極、ソース電極の機能はドレイン (Drain), ソース (Source) の表記に対して入れ替えることがある。

第 4 図には前記メモリセル MC の読み出し、書き込み処理、消去処理における電圧印加態様が例示される。ここで示す例は  $0.18 \mu\text{m}$  プロセスルールで製造したメモリセルに対するものである。

メモリセル MC のメモリトランジスタ部 26 に比較的高い閾値電圧を設定する書き込み処理動作では、例えば、メモリゲート電圧 VMG に 10 V、ソース線電圧 VS を 6 V とし、コントロールゲート電圧 VCG に 1.5 V を与え、書き込み状態非選択ビット線に 1.5 V、書き込み状態選択ビット線には 1.5 V よりも低い電圧を印加して、一定の電流を流し、書き込み状態選択ビット線の選択トランジスタ部 27 のオン状態により、拡散層 30 から拡散層 35 にチャネル電流を流す。このチャネル電流により、コントロールゲート電極 37 側の電荷蓄積性絶縁膜 31 近傍でホットエレクトロンが発生し、このホットエレクトロンが電荷蓄積性絶縁膜 31 に保持される。ビット線に流す書き込み処理電流を数マイクロ・アンペア～数十マイクロ・アンペア程度の定電流として書き込み処理を行なう場合、書き込み状態選択ビット線電位に、例えば 0.8 V 程度印加して、チャネル電流を流せばよい。書き込み処理においては、n チャンネル型のメモリセルにとって、拡散層 30 がドレインとして機能し、拡散層 35 がソースとして機能する。この書き込み処理形式はホットエレクトロンのソースサイドインジェクションとなる。

書き込み処理について更に詳述する。書き込み処理では電荷蓄積性絶縁膜 31 の直下に位置するチャネルはコントロールゲート電極 37 附近

まで 6 V にされ、これに対し、コントロールゲート電極 37 直下のチャンネルは 0.8 V 程度であり、これにより、双方のチャンネルの境界部分、すなわち、コントロールゲート電極 37 側の電荷蓄積性絶縁膜 31 の直下で急峻な電界（急電界）が形成される。この急電界によりホットエレクトロンが生成され、電荷蓄積性絶縁膜 31 に蓄積される。コントロールゲート電極 37 直下のチャンネルは 0.8 V 程度であるからコントロールゲート電極 37 の絶縁膜 32 は、論理回路などの高耐圧を要しない大多数の論理動作の MOS トランジスタと同じ又は同程度の薄膜でよい。

- 10       書き込み処理においてコントロールゲート電極 37 直下のチャンネルが 6 V にならないのは、ウェル領域 25 に形成される前記ビット線接続電極 35 とソース線接続電極 30 との間に高濃度不純物領域例えば拡散層が形成されていないからである。図示はしないが、記憶保持用の MONOS（メタル・オキサイド・ナイトライド・オキサイド・セミコンダクタ）型メモリトランジスタと選択用の MOS トランジスタの直列回路で構成される不揮発性メモリセルの場合には、双方のトランジスタの直列接続ノードが双方に共通の拡散領域（ソース・ドレイン領域）とされる。この双方に共通の拡散領域が介在する場合には、書き込み処理時の高電圧が MONOS に印加されてチャンネルが形成されると、MONOS 側の高電圧がそのチャンネルから前記双方のトランジスタに共通の拡散領域を介して選択 MOS トランジスタに印加される。これによって選択 MOS トランジスタにも高耐圧が要求されることになる。

- 25       メモリセル MC のメモリトランジスタ部 26 に比較的低い閾値電圧を設定する消去処理では、例えば、メモリゲート電圧 VMG に高電圧 12 V を印加し、電荷蓄積性絶縁膜 31 に保持されているエレクトロンをメモリゲート電極 34 にトンネル放出させる。このとき、拡散層 30 を

回路の接地電位（0 V）とする。このとき、選択トランジスタ部 2 7 をオン状態にしてもよい。

メモリトランジスタ部 2 6 に対する上記書き込み処理・消去処理より明らかなように、コントロールゲート 3 7 の電圧  $V_{CG}$  とビット線の電圧  $V_D$  は高電圧であることを要しない。このことは、選択トランジスタ部 3 7 のゲート耐圧が比較的低くてよいことを保証する。

特に制限されないが、第 5 図に例示されるように、閾値電圧が低くされた消去状態のメモリトランジスタ部 2 6 はデプレッション型とされ、閾値電圧が高くされた書き込み状態のメモリトランジスタ部 2 7 はエンハンスメント型とされる。第 5 図の消去状態・書き込み状態において、読み出し動作時におけるメモリゲート電極 3 4 は回路の接地電圧（0 V）にすればよい。更に読み出し動作を高速化する場合はメモリゲート電極 3 4 に例えば電源電圧（1.5 V）を印加してもよい。尚、消去及び書き込みの双方の状態をエンハンスメント型にすることは妨げない。この場合には、読み出し動作時におけるメモリゲート電極 3 4 は電源電圧を印加する。

第 5 図の閾値状態において第 3 図の不揮発性メモリセル MC に対する読み出し動作では、ソース線電圧  $V_S$ 、メモリゲート電圧  $V_{MG}$  を 0 V にし、読み出し選択すべきメモリセルのコントロールゲート電圧  $V_{cg}$  を 1.5 V の選択レベルにすればよい。ビット線電位  $V_D$  は 1.5 V のプリチャージレベルを初期状態とする。選択トランジスタ部 2 7 がオン状態にされたときメモリトランジスタ部 2 6 の閾値電圧状態に従って電流が流れるか否かに応じてビット線に記憶情報が読み出される。選択トランジスタ部 2 7 はメモリトランジスタ部 2 6 よりもゲート絶縁膜厚が薄く、また、ゲート耐圧も小さいから、記憶保持用の MOS トランジスタ部と選択用の MOS トランジスタ部の双方を高耐圧で形成す

る場合に比べて、選択トランジスタ部 27 で得られる読み出し電流の  $G_m$  を比較的に大きくする事ができ、これにより、データ読み出し速度を高速化することができる。

#### 《バイト分割》

- 5      第 6 図にはフラッシュメモリのようにバイト分割を採用しないときのメモリアレイの様子が消去処理状態を一例に示される。メモリセル MC のメモリゲート電極 (34) は行単位でメモリゲート制御線 MG0, MG1 に接続され、メモリセル MC のコントロールゲート電極 (37) は行単位でコントロールゲート制御線 CG0, CG1 に接続される。2
- 10     行分のメモリセル MC のソース線接続電極 (30) は共通ソース線 SL0 に接続され、メモリセル MC のビット線接続電極 (35) は列毎に対応するビット線 b0 ~ b3 に接続する。このメモリアレイ構成により、メモリセル MC は共通ソース線 SL0 側にメモリゲート電極 (34)、ビット線 b0 ~ b3 側にコントロールゲート電極 (37) が位置する。
- 15     消去処理は第 6 図に示されるようにメモリゲート制御線 MG1 に高圧 (12V) を印加し、ビット線 b0 ~ b3 を回路の接地電位 (0V) にして、電荷蓄積性絶縁膜 (シリコン窒化膜) 31 中に蓄えられた電子をメモリゲート電極 MG1 に引き抜く。消去処理はメモリゲート制御線単位で行なうことができ、第 6 図ではメモリゲート制御線 MG1 を共有
- 20     する一行分のメモリセルが一括消去される。

- 書き込み処理は第 7 図に例示されるように、メモリゲート制御線 MG1 に高圧 (10V) を印加し、選択トランジスタ部 (27) を導通 (コントロールゲート制御線 CG1 = 選択レベル (1.5V)) させたいえで、共通ソース線 SL0 に高圧 (6V) を印加する。書き込み状態選択ビット線には選択トランジスタ部の閾電圧バラツキを補償するため、書き込み電流源より所定のチャネル電流を流してソース側ホットエレクトロ
- 25

ン注入により書き込み状態を達成する。書き込み状態非選択ビット線には  $1.5\text{ V}$  を与えて書き込み状態への遷移を抑止する。図において書き込み電流源は  $I_s$  として示される。このときの共通ソース線に印加する高圧電源による電流供給能力との関係で、一度に書き込み処理を行なうことができるメモリセルの数は往々にして消去単位に比べて小さいことが予想され、その場合には複数回に分けて直列的に書き込み処理を行なう。

前述の通り、書き込み・消去処理の時、メモリセルMCの選択トランジスタ部には高電圧が印加されないので、コントロールゲート電極の酸化膜厚を薄くでき、電流駆動能力を大きくできるので、読み出し動作は高速化される。

第8図にはEEPROMのようにバイト分割を採用したときのメモリアレイの様子が消去処理状態を一例に示される。メモリアレイの基本的な構成が第6図と同じである。相違点は、バイト分割のために、バイト毎にメモリセルMCのメモリゲート電極(34)をバイト選択トランジスタ  $T_{ij}$  ( $i, j$  は整数) を介してメモリゲート制御線  $MG_i$  に接続するように構成した点が相違される。バイト選択トランジスタ  $T_{ij}$  のスイッチ制御信号はメモリセルのバイト列単位のバイト選択制御線  $BS_j$  にて与えられる。この例ではメモリゲート制御線  $MG_i$  に印加した正電圧がバイト選択トランジスタ  $T_{ij}$  で電圧降下を生じないように、当該バイト選択トランジスタ  $T_{ij}$  にpチャネル型MOSトランジスタ(pMOSトランジスタ)を採用する。ここでは便宜上2個のメモリセルを1バイト分のメモリセルとしている。ビット線は  $b_{j0}$ 、 $b_{j1}$  として示される。

第8図において消去処理はバイト単位で行われる。例えばバイト選択トランジスタ  $T_{10}$  で選択される1バイトを消去対象とする。このとき、

選択バイトのバイト選択制御線BS0を0V、非選択バイトのバイト選択制御線BS1を12Vとする。非選択ワードのメモリゲート制御線MG0を0V、選択ワードのメモリゲート制御線MG1を12Vとする。これにより、バイト選択トランジスタT10が導通し、選択バイトのメモリセルのメモリゲート電極(34)に消去電圧12Vが印加されて、

5 選択バイトのメモリセルの閾値が下がって、消去状態にされる。

第9図には第8図のバイト分割を採用したメモリアレイにおける書き込み処理状態が例示される。ここでは便宜上バイト選択トランジスタT10で選択される1バイトを書き込み処理対象として図示してある。

10 このとき、選択バイトのバイト選択制御線BS0を0Vとし、非選択バイトのバイト選択制御線BS1を10Vとする。非選択ワードのメモリゲート制御線MG0を0V、選択ワードのメモリゲート制御線MG1を10Vとすると、バイト選択トランジスタT10が導通し、選択バイトのメモリセルのメモリゲート電極(34)に10Vが印加される。更に

15 非選択ワードのコントロールゲート制御線CG0を0V、選択ワードのコントロールゲート制御線CG1を1.5V、選択ワードのソース線SL0に6Vを印加しておき、書き込み状態選択ビットのビット線b00には電流源Isを接続し、書き込み状態非選択ビットのビット線b01には1.5Vを印加する。非選択バイトのビット線も書き込み状態非選択ビット線と同様に1.5Vを印加する。これにより、書き込み状態選択ビット(書き込み選択メモリセル)の選択トランジスタ部27が導通して前記定電流源Isによってチャンネル電流が流れ、ソース側(ビット線接続電極35側)から電荷蓄積性絶縁膜31にホットキャリアが注入されて、書き込み状態選択メモリセルの閾値が上がって、書込状態にされる。

25

書き込み処理時に、書き込み状態非選択バイトのソース線接続電極に

はソース線  $S L 0$  より高圧 (6 V) が印加されるが、メモリセルの蓄積電荷はコントロールゲート電極 37 側の電荷蓄積性絶縁膜 (シリコン窒化膜) 31 にあるため、ディスタープは抑えられる。

第 10 図には第 8 図のバイト分割を採用したメモリアレイにおける読み出し動作状態が例示される。ここでは便宜上バイト選択トランジスタ  $T 10$  で選択される 1 バイトを読み出し対象として図示してある。このとき、読み出し選択バイトのビット線  $b 00$ 、 $b 01$  を 1.5 V にプリチャージしておき、選択ワードのコントロールゲート制御線  $C G 1$  を 1.5 V として、読み出し選択バイトのメモリセルにおける選択トランジスタ部 27 を導通させる。これによるビット線の電位を図示を省略するセンスアンプで検出する。

第 8 図乃至第 10 で説明したように、スプリットゲート型の MONO S 構造を有する前記メモリセル MC のメモリアレイにおいて、ワード線方向に伸びたメモリゲート電極 (34) をバイト選択トランジスタ  $T i j$  ( $i, j$  は整数) を介してメモリゲート制御線  $M G i$  に接続するように構成し、バイト選択トランジスタ  $T i j$  を介してメモリゲート電極 (34) に書き込み高電圧や消去高電圧を印加する。これにより、バイト単位の消去処理及び書き込み処理が可能になる。また、書き込み処理と消去処理の時、選択バイトのメモリゲート電極 (34) のみ書き込み高電圧や消去高電圧が印加されるので、非選択バイトにはディスタープがかからない。

第 11 図には、第 8 図で説明したバイト選択トランジスタ  $T i j$  に p MOS トランジスタを用いたメモリアレイにおけるバイト選択トランジスタが配置されたバイト境界部分のデバイス構造平面レイアウトが示され、第 12 図には第 11 図の A-A' 断面が示される。バイト選択トランジスタ  $T i j$  は、p MOS トランジスタでありメモリセルとは導



電型が異なるので、n型ウェル領域 (Nwell) に形成される。メモリセルはp型ウェル領域 (Pwell) に形成され、両方の領域は相互にアイソレーション領域によって電氣的に分離されなければならない、n型ウェル領域 (Nwell) には比較的大きな面積を必要とする。

- 5        図13にはバイト選択トランジスタにnチャネル型MOSトランジスタ (nMOSトランジスタ) を採用したときのメモリアレイの様子が消去処理状態を一例に示される。メモリアレイの基本構成は第8図と同様であり、バイト選択トランジスタ  $T_{ij}$  にnMOSトランジスタを採用した点が相違される。第14図には第13図のバイト分割を採用した
- 10        メモリアレイにおける書き込み処理状態が例示される。第15図には第13図のバイト分割を採用したメモリアレイにおける読み出し動作状態が例示される。第13図乃至第15図において動作対象は例えばバイト選択トランジスタ  $T_{10}$  で選択される1バイトとされる。

- 15        バイト選択トランジスタ  $T_{ij}$  にnMOSトランジスタを採用した場合、当該トランジスタ  $T_{ij}$  による電圧降下を補償するために、消去処理及び書き込み処理時の高電圧 (昇圧電圧) は高く設定される。例えば、消去処理時には、第13図に例示されるようにメモリゲート制御線  $MG_1$  への印加電圧は13Vに高く設定され、これに応じてバイト選択制御線  $BS_0$  への印加電圧も13Vに高く設定される。書き込み処理時
- 20        には、第14図に例示されるようにメモリゲート制御線  $MG_1$  への印加電圧は11Vに高く設定され、これに応じてバイト選択制御線  $BS_0$  への印加電圧も11Vに高く設定される。一方、読み出し動作時には、バイト選択トランジスタ  $T_{ij}$  を導通させてメモリセルのメモリゲート電極に印加する電圧を容易に0Vにすることができる。例えば第15図
- 25        では選択バイトのバイト選択制御線  $BS_0$  への印加電圧を1.5Vのような電源電圧にするだけで済む。

また、第13図のメモリアレイではバイト選択トランジスタ $T_{ij}$ はnMOSトランジスタであるから、バイト境界領域の部分にNウェル領域を形成する必要がない。これにより、メモリアレイのサイズを小さくすることが可能になる。

- 5       第16図にはバイト選択トランジスタをソース線側に設けたときのメモリアレイの様子が消去処理状態を一例に示される。上述したバイト分割はバイト毎にメモリゲート電極をメモリゲート制御線から分離する構成であるのに対し、ここではバイト毎にソース線接続電極をソース線から分離可能にする。第16図では、メモリセルのバイト列毎にソース線 $SL_j$ が設けられ、バイト毎にメモリセルのソース線接続電極(30)と対応するソース線との間にバイト選択トランジスタ $T_{ij}$ が挿入される。バイト選択トランジスタ $T_{ij}$ のスイッチ制御信号は行単位のバイト選択制御線 $BS_i$ にて与えられる。
- 10

- 第16図において消去処理はバイト単位で行われる。例えばバイト選択トランジスタ $T_{10}$ で選択される1バイトを消去対象とする。このとき、選択ワードのメモリゲート制御線 $MG_1$ を12V、非選択ワードのメモリゲート制御線 $MG_0$ を0Vとする。選択ワードのバイト選択制御線 $BS_1$ を12Vとしてバイト選択トランジスタ $T_{1j}$ を導通させ、非選択ワードのバイト選択制御線 $BS_0$ を12Vとしてバイト選択トランジスタ $T_{0j}$ を非導通させる。選択バイトのソース線 $SL_0$ 及びビット線 $b_{0j}$ に回路の接地電圧0Vを印加し、非選択バイトのソース線 $SL_1$ 及びビット線 $b_{1j}$ に消去抑止電圧12Vを印加する。これにより、選択ワードの選択バイトのメモリセルは、ゲート・基板間に高電圧が印加されて消去状態にされる。選択ワード上の非選択メモリセルはゲートと基板間に高電圧がかからず、消去状態にされない。
- 15
- 20
- 25

      第17図にはバイト選択トランジスタをソース線側に設けたメモリ

アレイにおける書き込み処理状態が例示される。ここでは便宜上バイト  
選択トランジスタ  $T_{10}$  で選択される 1 バイトを書き込み処理対象と  
して図示してある。このとき、選択ワードのメモリゲート制御線  $MG_1$   
を 10 V、非選択ワードのメモリゲート制御線  $MG_0$  を 0 V とする。選  
5 択ワードのバイト選択制御線  $BS_1$  を 10 V としてバイト選択トラン  
ジスタ  $T_{10}$  を導通させ、非選択バイトのソース線  $SL_1$  に書込抑止電  
圧 10 V を印加する。これにより選択ワード上の書き込み状態非選択メ  
モリセルにはゲートと基板間に高電圧が印加されず、ディスタ urb が  
10 からない。一方、選択バイトのソース線  $SL_0$  を 6 V とすれば選択バ  
イトのメモリセルのソース線接続電極 (30) としてのドレインには 6 V  
が印加される。選択バイトの書き込み状態非選択メモリセルのビット線  
 $b_{01}$  はコントロールゲート制御線  $CG_1$  と同電位の 1.5 V とし、選  
択バイトの書き込み状態選択メモリセルのビット線  $b_{00}$  には電流源  
15  $I_s$  を接続することにより、上述と同様にソース側ホットキャリア注入  
による書き込み状態が達成される。

第 18 図にはバイト選択トランジスタをソース線側に設けたメモリ  
アレイにおける読み出し動作状態が例示される。読み出し対象は便宜上  
バイト選択トランジスタ  $T_{10}$  で選択される 1 バイトとして図示され  
ている。第 18 図において選択バイトのコントロールゲート制御線  $CG$   
20  $_1$  とバイト選択制御線  $BS_1$  を 3 V の選択レベルとし、選択バイトのビ  
ット線  $b_{00}$ 、 $b_{01}$  を 1.5 V にプリチャージすることにより、選択  
バイトのメモリセルに対する読み出しを行なうことができる。但し、読  
み出し電流経路には、メモリトランジスタ 26 に対し選択トランジスタ  
部 27 とバイト選択トランジスタ  $T_{ij}$  の 2 個の  $n$  チャネル MOS 型  
25 トランジスタが直列配置されるので、第 10 図及び第 15 図の例に比べ、  
 $CG_1$  と  $BS_1$  の選択レベルは 3 V の昇圧電圧に成っている点が相違

される。

第19図には第16図で説明したバイト選択トランジスタをソース線側に設けたメモリアレイにおけるバイト選択トランジスタが配置されたバイト境界部分のデバイス構造平面レイアウトが示される。バイト  
5 選択トランジスタ  $T_{ij}$  はメモリセルと同じ  $n$  チャンネル型であるから同じ  $p$  型ウェル領域に形成できる。

第20図には全てのメモリセルの共通ソース線側に選択トランジスタを設けたメモリアレイの様子が消去動作状態を一例に示される。上述したメモリアレイはバイト毎にソース線を分離し、バイト選択トランジスタを付加したが、ここでは、一方に選択トランジスタ部27が接続されたメモリトランジスタ部26の他方にも選択トランジスタ部27aを形成し、3重ゲート構造のメモリセル  $MCa$  を採用する。このメモリセル  $MCa$  は、特に図示はしないが、第3図の断面構造においてメモリトランジスタ部26を中心に左右対称に拡散領域とコントロールゲート電極を形成し、一方の拡散領域をビット線接続電極、他方の拡散領域をソース線接続電極とすればよい。要するに、メモリゲート電極の両側にコントロールゲート電極が配置される。第20図においてコントロールゲート制御線  $CG_{ia}$  ( $i$  は整数) はビット線  $b_{j0}$ ,  $b_{j1}$  ( $j$  は整数) に接続する選択トランジスタ部のコントロールゲートを制御し、  
10 コントロールゲート制御線  $CG_{ib}$  はソース線  $SL_j$  に接続する選択トランジスタ部のコントロールゲートを制御する。コントロールゲート制御線  $CG_{0b}$ ,  $CG_{1b}$  は第16図のメモリアレイにおけるバイト選択制御線  $BS_0$ ,  $BS_1$  に相当する。第20図のメモリアレイにおけるバイト単位の消去処理、第21図に示されるバイト単位の書き込み処理、  
15 第22図に示されるバイト単位の読み出し動作は、第16図の消去処理、第17図の書き込み処理、第18図の読み出し動作と同じである。  
20  
25

第23図には第20図で説明したメモリセルの共通ソース線側に選択トランジスタを設けたメモリアレイにおけるデバイス構造平面レイアウトが示される。選択トランジスタ部27aはメモリセルMCaの一部を構成し、全てのメモリセルMCaに対して規則的に配置される。第19図の場合にはバイト選択トランジスタTijを配置するために縦方向及び横方向の双方向でチップ面積を拡大している。第23図の場合選択トランジスタ部27aの数は多いが、それはメモリセル配列の中に収まるから、縦方向寸法は大きくなっても横方向寸法は拡大しない。この点において、第23図のメモリアレイ構造ではバイト境界領域の面積を第19図の例よりも縮小することができる。

#### 《不揮発性メモリモジュール》

第24図には前記不揮発性メモリモジュール6のブロック図が例示される。不揮発性メモリモジュール6は、EEPROM21に専用の回路としてEEPROM用メモリアレイ40、ビットデコーダ・ドライバ41、及びワードデコーダ・ドライバ42を有し、また、フラッシュメモリ22に専用の回路としてフラッシュメモリ用メモリアレイ43、ビットデコーダ・ドライバ44、及びワードデコーダ・ドライバ45を有する。EEPROM21とフラッシュメモリ22は前述の通り同じスプリットゲート型MONOS構造のメモリセルを用いているから、双方に一部共通化された回路として、電源回路46、書き込み読み出し回路47、及びメモリ制御回路48を備え、周辺回路が一部共通化され、メモリモジュールの小型化、更にはマイクロコンピュータチップの縮小に寄与する。

第25図にはフラッシュメモリ22の一例が示される。メモリアレイ43は第6図で説明した基本構成を備える。メモリアレイ43は複数の消去ブロックBLK0～BLKnに分割され、ブロック単位でソース

線  $SL0 \sim SLn$  が設けられる。消去ブロック  $BLK0 \sim BLKn$  のサイズはブロック間で同じであっても全部又は部分的に相違されていてもよい。ビット線  $b0 \sim bn$  は各消去ブロック  $BLK0 \sim BLKn$  に共通化される。コントロールゲート制御線  $CG$  及びメモリゲート制御線  $MG$  はワード（ビット線に交差するメモリセル配列方向）単位とされ、例えば消去ブロック  $BLK0$  にはコントロールゲート制御線  $CG0 \sim CGn$  とメモリゲート制御線  $MG0 \sim M Gn$  が割当てられる。

ビットデコーダ・ドライバ 44 はアドレス信号をデコードし、そのデコード結果及び動作モードにしたがってビット線の駆動等を行なう。ワードデコーダ・ドライバ 45 はアドレス信号をデコードし、そのデコード結果及び動作モードにしたがってコントロールゲート制御線  $CG$  及びメモリゲート制御線  $MG$  を駆動する。消去処理におけるソース線  $SL0 \sim SLn$  の駆動には、特に制限されないが、ワードデコーダ・ドライバ 45 が兼用される。書き込み読み出し回路 47 は、読み出し動作においてメモリアレイから読み出されたデータを増幅して出力し、書き込み処理において書き込み状態選択ビット線に対して書き込み電流の供給等を行なう。

メモリ制御回路 48 はアドレス信号、データ、及び制御信号を入力し、制御信号によって消去処理、書き込み処理、又は読み出し動作が指示され、その指示に従って、ビットデコーダ・ドライバ 44 及びワードデコーダ・ドライバ 45 に必要なアドレス信号を与えると共に、必要なデコード動作をさせて、コントロールゲート制御線やメモリゲート制御線等を駆動させる。動作に必要な高電圧は電源回路 46 が電源電圧  $V_{cc}$  を昇圧して形成し、これが必要な回路に供給される。このように制御される消去処理はブロック単位  $BLK0 \sim BLKn$  で行なわれ、消去ブロックはアドレス信号の所定上位ビットを用いたり、或は消去コマンドの消

去ブロック指定データを用いて指定される。書き込み処理は、特に制限されないが、4 バイト (32 ビット) 単位のページ書き込みとされる。書き込み処理では書き込み選択ビット線に書き込み電流を供給することが必要であり、電源回路 46 の電流供給能力が小さい場合を考慮して、

5     1 ページの書き込み処理に対して 4 バイト単位で直列的な書き込み処理を行なう。読み出し動作は、特に制限されないが、データバスサイズとの関係に従って、アドレス信号で指定される 32 ビット単位で行なわれる。

第 26 図には E E P R O M 21 の一例が示される。メモリアレイ 40

10     は第 13 図で説明した基本構成を備える。メモリアレイ 40 は複数のバイトユニット B Y U 0 ~ B Y U i に分割され、ユニット単位でソース線 S L 0 ~ S L n が設けられる。コントロールゲート制御線 C G 0 ~ C G n 及びメモリゲート制御線 M G 0 ~ M G n はワード (ビット線に交差するメモリセル配列方向) 単位とされ、バイトユニット B Y U 0 ~ B Y

15     U i に共通化される。バイトユニット B Y U 0 ~ B Y U i の夫々は、コントロールゲート制御線 C G 0 ~ C G n 毎に前記バイト選択トランジスタ T 0 0 ~ T n 0 を有し、バイトユニット B Y U 0 ~ B Y U i に固有のバイト選択制御線 B S 0 ~ B S i を有する。更にバイトユニット B Y U 0 ~ B Y U i は夫々 8 本のビット線 b i 0 ~ b i 7 を有する。

20     ビットデコーダ・ドライバ 41 はアドレス信号をデコードし、そのデコード結果及び動作モードにしたがってビット線の駆動等を行なう。ワードデコーダ・ドライバ 42 はアドレス信号をデコードし、そのデコード結果及び動作モードにしたがってコントロールゲート制御線 C G 0 ~ C G n 及びメモリゲート制御線 M G 0 ~ M G n を駆動する。消去処理

25     におけるソース線 S L 0 ~ S L n の駆動には、特に制限されないが、ビットデコーダ・ドライバ 41 が兼用される。書き込み読み出し回路 47

は、読み出し動作においてメモリアレイ 40 から読み出されたデータを増幅して出力し、書き込み処理において書き込み状態選択ビット線に対して書き込み電流の供給を行なう。

メモリ制御回路 48 はアドレス信号、データ、及び制御信号を入力し、  
5 制御信号によって消去処理、書き込み処理、又は読み出し動作が指示され、その指示に従って、ビットデコーダ・ドライバ 41 及びワードデコーダ・ドライバ 42 に必要なアドレス信号を与えると共に、必要なデコード動作をさせて、コントロールゲート制御線やメモリゲート制御線等を駆動させる。動作に必要な高電圧は電源回路 46 が電源電圧  $V_{cc}$  を  
10 昇圧して形成し、これが必要な回路に供給される。このように制御される消去、書き込み及び読み出し処理は第 13 図乃至 第 15 図で説明したようにバイト単位で行なわれる。また、書き込み処理及び読み出し処理はデータバス幅に合わせて例えば 32 ビット単位で行なってもよい。書き込み処理及び読み出しはデータバス幅に合わせて 32 ビット単位  
15 で行なわれる。4 バイト未満のデータ書き込み若しくは書換えのとき、4 バイト単位の書き込み処理において、書き込み対象以外のデータに対しては書き込み状態非選択のデータを与えて書き込み状態への遷移をマスクすればよい。

第 27 図には前記書き込み読み出し回路 27 の一例が示される。ここでは、読出し時に必要なセンスアンプをビット線毎に配置せず、CPU  
20 等との上位インタフェースがバイト単位又は複数バイト ( $n \times$  バイト) 単位アクセスであるのが一般であるから、回路規模縮小の観点より、それに合わせて、読み出しに必要なセンスアンプ及び書き込みに必要な定電流源回路を  $n \times$  バイトで配置される。第 27 図では  $n = 4$  の 32 ビット  
25 を一例とする。即ち、ここではフラッシュメモリ 22 のビット線は  $b_{0\_0} \sim b_{31\_63}$  とされ、64 本単位で 32 グループに分けられ、



ビット線選択信号  $S_{bit0} \sim S_{bit31}$  により各グループからスイッチ  $SW_{f0} \sim SW_{f31}$  で 1 本ずつ合計 32 本のビット線が選択可能にされる。EEPROM 21 のビット線は  $b_{0\_0} \sim b_{31\_31}$  とされ、第 26 図で説明したバイトユニット  $BYU_0 \sim BYU_i$  と同様の構成を有するバイトユニット  $BYU$  毎に 8 本のビット線が順次割当てられ、4 個のバイトユニット  $BYU$  を一単位とするブロックを単位にメモリアレイの全体が 32 ブロックに分けられ、ブロック選択信号  $S_{blk0} \sim S_{blk31}$  によりブロック単位で 32 本のビット線がスイッチ  $SW_{e0} \sim SW_{e31}$  にて選択される。

5

10

スイッチ  $SW_{e0} \sim SW_{e31}$  を介して選択された EEPROM 21 側の 32 本のビット線は、選択トランジスタ  $M_{es0} \sim M_{es31}$  を介して対応するセンスアンプ及び書き込み電流源  $SA \cdot WC_0 \sim SA \cdot WC_{31}$  に接続される。同様に、前記スイッチ  $SW_{f0} \sim SW_{f31}$  を介して選択されたフラッシュメモリ 22 側の 32 本のビット線は、選択トランジスタ  $M_{fs0} \sim M_{fs31}$  を介して対応するセンスアンプ及び書き込み電流源  $SA \cdot WC_0 \sim SA \cdot WC_{31}$  に接続される。選択トランジスタ  $M_{es0} \sim M_{es31}$  は EEPROM 選択信号  $S_{eep}$  によりスイッチ制御され、選択トランジスタ  $M_{fs0} \sim M_{fs31}$  はフラッシュメモリ選択信号  $S_{fls}$  によりスイッチ制御される。

15

20

前記ビット線選択信号  $S_{bit0} \sim S_{bit31}$ 、前記ブロック選択信号  $S_{blk0} \sim S_{blk31}$  は前記ビットデコーダ・ドライバ 44、41 がアドレス信号をデコードして生成する。フラッシュメモリ選択信号  $S_{fls}$  及び EEPROM 選択信号  $S_{eep}$  はメモリ制御部 48 がアクセスアドレス信号と動作モードに従って生成する。第 27 図の例では、フラッシュメモリ 22 に書き込み処理又は読み出し動作が指示されたときフラッシュメモリ選択信号  $S_{fls}$  が選択レベルにされ、EEP

25

R O M 2 1 に書き込み処理又は読み出し動作が指示されたとき E E P R O M 選択信号 S e e p が選択レベルにされる。

第 2 8 図にはセンスアンプ及び書き込み電流源 S A ・ W C 0 の一例が示される。この例では、センスアンプ S A は p チャンネル型 M O S トランジスタ M p 1 , M p 2 と、n チャンネル型 M O S トランジスタ M n 1 , M n 2 から成るスタティックラッチを主体に、p チャンネル型 M O S トランジスタ M p 3 , M p 4 と n チャンネル型 M O S トランジスタ M n 3 から構成される。読み出し動作の開始前にプリチャージ M O S トランジスタ M p 4 によってセンスアンプ S A の入出力ノードが電源電圧 V c c にプリチャージされる。その後、M O S トランジスタ M p 3 , M n 3 がオン状態にされてセンスアンプ S A が増幅動作可能にされる。書き込み電流源 W C は、センスアンプ S A の入出力ノードと回路の接地端子との間に n チャンネル型の定電流源 M O S トランジスタ M n 4 と n チャンネル型のゲート M O S トランジスタ M n 5 が直列接続されて構成される。

15 定電流源 M O S トランジスタ M n 4 のゲートには定電流を決定するためのバイアス電圧が印加される。ゲート M O S トランジスタ M n 5 はラッチ回路 ( L A T ) 5 0 のラッチデータに基づいてスイッチ制御される。ラッチ回路はラッチクロックとラッチイネーブル信号によってラッチ動作が制御される。ラッチ回路 5 0 は書き込み処理においてメモリ制御部 4 8 から供給される書き込みデータをラッチする。ラッチした書き込みデータの論理値 “ 1 ” は、書き込み処理において書き込み状態を選択し、書き込みデータの論理値 “ 0 ” は、書き込み処理において書き込み状態を非選択とする。

20

第 2 8 図の構成は選択 M O S トランジスタ M f s 0 と M e s 0 との結合ノードにセンスアンプ S A と書き込み定電流源 W C が共通接続されているから、フラッシュメモリ 2 2 と E E P R O M 2 1 の何れか一方

25

が読み出し動作を行なっているとき、他方では消去処理をそれに並列して行なうことができて、書き込み処理を並列化することはできない。尚、図示はしないが、その他のセンスアンプ及び書き込み電流源  $SA \cdot WC1 \sim SA \cdot WC31$  も同様に構成される。

- 5      第29図にはセンスアンプ及び書き込み電流源  $SA \cdot WC0$  の別の例が示される。この例は、フラッシュメモリ22のビット線とEEPROM21のビット線の夫々に別々に前記書き込み電流源WCを配置した構成が第28図と相違される。ラッチ回路50に対する書き込みデータのラッチ入力は選択MOSトランジスタ  $Mfs0$ 、 $Mes0$  を經由せず
- 10      双方の結合ノードに直接接続される。

- 第29図の構成により、フラッシュメモリ22とEEPROM21の何れか一方が読み出し動作を行なっているとき、他方では書き込み処理を並列に行なうことができる。更に、フラッシュメモリ22とEEPROM21は並列的に書き込み処理を行なうことができる。フラッシュメモリ22とEEPROM21が並列的に消去処理を行なうことができること、また、読み出し処理と消去処理を並列に行なうことができることは、第28図の場合と変わらない。
- 15

- 第30図乃至第32図には第29図の回路構成を採用したときのフラッシュメモリ22とEEPROM21の並列アクセス処理フローが示される。この時のフラッシュメモリ22とEEPROM21の主なアクセス仕様は例えば第33図に示されるものとする。
- 20

- 第30図はフラッシュメモリ22とEEPROM21の並列書き込み処理フローを示す。選択MOSトランジスタ  $Mfs0 \sim Mfs31$ 、 $Mes0 \sim Mes31$  を共にオフ状態とし(S1)、フラッシュメモリ22に対する32ビットの書き込みデータをメモリ制御回路48から
- 25      フラッシュメモリ22側のラッチ回路50にセットする(S2)。同様

に、EEPROM 21 に対する 32 ビットの書き込みデータをメモリ制御回路 48 から EEPROM 21 側のラッチ回路 50 にセットする (S3)。フラッシュメモリ 22 と EEPROM 21 に対する書き込み処理方式は前述の通りホットエレクトロン方式であり、双方のメモリ 21, 22 にホットエレクトロンを発生させるための書き込み処理高電圧を印加すると共に、フラッシュメモリ 22 と EEPROM 21 にセットされた書き込みデータにしたがって、書き込み状態選択ビットには定電流バイアスを印加する (S4)。この書き込み処理の電圧印加状態を例えば  $10 \mu s$  (マイクロ秒) 維持する (S5)。 $10 \mu s$  の時間は製造プロセス等で変動するので、そのプロセスに応じた必要な時間を設定してよい。その後、書き込み処理の電圧印加を解除し (S6)、書き込み処理が残っていればステップ S2 に戻って処理を継続する。

このように、フラッシュメモリ 22 と EEPROM 21 に対して並列書き込み処理を行なうことにより、夫々別々に処理を行なう場合に比べて、処理時間を大凡半分に短縮することができる。

第 31 図はフラッシュメモリ 22 と EEPROM 21 の並列的な書き込み処理及び読み出し動作のフローを示す。選択 MOS トランジスタ  $Mfs0 \sim Mfs31$ 、 $Mes0 \sim Mes31$  を共にオフ状態とし (S11)、フラッシュメモリ 22 又は EEPROM 21 の一方を書き込み処理対象とし、32 ビットの書き込みデータをメモリ制御回路 48 から書き込み処理対象側のラッチ回路 50 にセットする (S12)。フラッシュメモリ 22 と EEPROM 21 に対する書き込み処理方式は前述の通りホットエレクトロン方式であり、書き込み処理対象にホットエレクトロンを発生させるための書き込み処理高電圧を印加すると共に、セットされた書き込みデータにしたがって、書き込み状態選択ビットには定電流バイアスを印加する (S13)。この書き込み処理の電圧印加状

態を例えば  $10\mu\text{s}$  維持する (S 1 4)。この間に、他方の読み出し対象に対しては選択 MOS トランジスタをオン状態として (S 1 5)、読み出し動作を行なう (S 1 6)。その後、書き込み処理の電圧印加を解除し (S 1 7)、書き込み処理が残っていればステップ S 1 1 に戻って処理を継続する。

第 3 1 図の並列処理によれば、例えばフラッシュメモリ 2 2 にアプリケーションプログラム等がある場合には、EEPROM 2 1 が書き込み処理を実行中に、アプリケーションプログラム等を CPU 2 に実行させることができ、ソフトウェア処理速度もしくはプログラム実行処理速度の高速化に寄与するすることができる。

第 3 2 図はフラッシュメモリ 2 2 と EEPROM 2 1 の並列的な消去処理及び読み出し動作のフローを示す。選択 MOS トランジスタ M f s 0 ~ M f s 3 1、M e s 0 ~ M e s 3 1 を共にオフ状態とし (S 2 1)、フラッシュメモリ 2 2 又は EEPROM 2 1 の何れか一方を消去処理対象とし、消去処理対象に消去処理に必要な高電圧を印加する (S 2 2)。この消去処理の電圧印加状態は、フラッシュメモリ 2 2 の場合には  $100\text{ms}$  (ミリ秒)、EEPROM 2 1 の場合には  $1\text{ms}$  維持する (S 2 3)。この間に、他方の読み出し対象に対しては選択 MOS トランジスタをオン状態として (S 2 4)、読み出し動作を行なう (S 2 5)。その後、消去処理の電圧印加を解除し (S 2 6)、書き込み処理が残っていればステップ S 2 1 に戻って処理を継続する。

第 3 2 図の並列処理によれば、EEPROM 2 1 に通常の消去処理を実行させている  $1\text{ms}$  の間、フラッシュメモリ 2 2 に対して読み出し動作を行うことができる。同様に、フラッシュメモリ 2 2 に通常の消去処理を実行させている  $100\text{ms}$  の間、EEPROM 2 1 に対して読み出し動作を行うことができる。例えばフラッシュメモリ 2 2 にアプリケー

ションソフトウェアが格納されている場合に、EEPROM 21 が消去処理を実行中に、CPU 2 にそのアプリケーションソフトウェアを実行させることができ、ソフトウェアの実行処理速度の高速化を図ることができる。

- 5       尚、消去処理時間もプロセス等で変動するのでその影響を考慮して消去処理時間を設定することになる。また、特に図示はしないが、並列消去処理、消去処理と書き込み処理の並列化についても容易に行なうことが可能である。

- 10       第34図には前記書き込み読み出し回路27の別の例が示される。第27図ではスタティックラッチをシングルエンドで利用してセンスアンプSAを構成したが、第34図ではセンスアンプ及び書き込み電流源SA・WC0～SA・WC31に含まれるセンスアンプSAを差動型とする。第34図ではオープン・ビット線アーキテクチャ(Open-bit-line architecture)を使用する。したがって、フラッシュメモリ22を読み出し動作させるとき、センスアンプにおける基準となるビット線電位(参照電位)はEEPROM 21のビット線を利用する。逆に、EEPROM 21を読み出し動作させるとき、センスアンプにおける基準となるビット線電位(参照電位)はフラッシュメモリ22のビット線を利用する。前記基準ビット線電位若しくは参照電位はビット線プリチャージ動作などを利用して設定することができる。
- 15
- 20

- 25       この方式は、差動型センスアンプを使用することにより、第27図のシングルエンド型センスアンプの構成よりも読み出し動作速度の高速化が期待できる。但し、基準となるビット線電位を、読み出し対象メモリ以外のメモリのビット線から設定するため、双方のメモリ21, 22のビット線容量と抵抗が同等になるようにレイアウトする必要がある。また、読み出し動作を行なう場合、フラッシュメモリ22及びEEPROM

OM 2 1 共にビット線を使用する為、片方が読み出し動作を行なっている間、もう一方で消去処理や書き込み処理を並列的に行なうことはできない。

第 3 5 図には前記書き込み読み出し回路 2 7 の更に別の例が示される。ここでは差動型センスアンプを使用した折返しビット線アーキテクチャ (folded-bit-line architecture) を採用する。この構成において基準電位 (参照電位) を与える基準ビット線は、同じメモリ内のビット線 (同種のメモリビット線) を使用するようになっている。要するに、フラッシュメモリ 2 2 では 6 4 本毎のビット線のブロック毎に、下位 3 2 本のグループを一方の差動入出力、上位 3 2 本のグループを他方の差動入出力に割当てている。EEPROM 2 1 ではビット線 b 0 \_ 0 ~ b 3 1 \_ 3 1 の夫々を相補信号に変換してセンスアンプの差動入出力端子に接続可能にしている。相補信号への変換は、特に制限されないが、スイッチ SW による選択動作と併せて行なう。

第 3 5 図の構成により、第 3 4 図のオープン・ビット線アーキテクチャでの不都合を解消することができる。すなわち、同種のメモリ (読み出し対象メモリ) から基準ビット線電位を設定するので、フラッシュメモリ 2 2 と EEPROM 2 1 でビット線容量及び抵抗が違ってよく、この点においてモジュールのレイアウトを気にする必要がなくなる。また、読み出し動作時においても読み出し対象メモリのビット線しか使用しないので、読み出し動作に並行して消去処理や書き込み処理を行なうことも可能になる。

第 3 6 図には第 3 5 図の前記折り返しビット線構造のフラッシュメモリ 2 2 におけるメモリセルの選択手法の一例が示される。ここでは主・副ビット線構造が採用され、副ビット線 SBIT 1, SBIT 2 は選択 MOS トランジスタ M 1, M 2 によって選択的に主ビット線 MBI

Tに接続可能にされる。選択MOSトランジスタM1, M2は副ビット線選択信号SBSの非反転及び反転信号にて選択される。特に、副ビット線選択信号SBSの非反転信号及び反転信号の信号配線は途中で交差され、スイッチSW0～SW31までの主ビット線の選択MOSトランジスタM1, M2に対するスイッチ状態と、スイッチSW0～SW31までの主ビット線の選択MOSトランジスタM1, M2に対するスイッチ状態とは逆にされる。これにより、センスアンプSAで差動増幅を行なうとき、選択ブロックにおける副ビット線選択と参照ブロック（基準ブロック）における副ビット線選択とを行なうことができる。

- 10 第37図には不揮発性メモリモジュールの別の例が示される。同図に示される不揮発性メモリモジュール6は、フラッシュメモリ22とEEPROM21との間の共通化回路を、ワードデコーダ・ドライバ50、メモリ制御部48、電源部46とする。51, 52はEEPROM21とフラッシュメモリ22用に夫々個別化された書き込み読み出し回路
- 15 である。このようにワードデコーダ・ドライバ50を共通化した場合、書き込み読み出し回路51, 52を個別化して、EEPROM21とフラッシュメモリ22の夫々に固有のセンスアンプを採用することができる。したがって、フラッシュメモリ22とEEPROM21で読出し速度を変えることが可能となり、例えばソフトウェアをフラッシュメモリ22に格納した場合など、フラッシュメモリ22用のセンスアンプを
- 20 高速用として、ソフトウェア処理を高速化することが可能となる。

#### 《メモリモジュールの利用形態》

- 前記不揮発性メモリモジュール6の利用形態について説明する。EEPROM21には暗号鍵、ユーザの個人情報などのように長期にデータ保持の必要な小サイズのデータを格納する領域に使用するのに好適である。フラッシュメモリ22には大容量かつ高速書き込みが必要なプロ
- 25



グラムなどの情報を格納するのに好適である。EEPROM 21 とフラッシュメモリ 22 の双方に用いるメモリセルは同一プロセスのものを  
用いるのがよい。共通プロセスを使用するため、マスク枚数を低減可能  
になるからである。電源回路 46、ワードデコーダ・ドライバ 50、  
5 書き込み読み出し回路 47 等を共通化することで、モジュール面積が低減される。またバスインターフェイスを共通化することで、チップ設計を容易化することができる。

ICカード用マイクロコンピュータに代表されるように、CPU搭載のSOC（システム・オン・チップ）に不揮発性メモリモジュール 6 を  
10 実装した場合、フラッシュメモリ 22 とEEPROM 21 とで記憶する情報の用途を区別する。例えばフラッシュメモリ 22 には、大容量という特徴を活かして仮想マシン言語によるプログラムを格納する用途等に利用する。またEEPROM 21 は、データ保持の高信頼性という特徴を活かして、認証用データ、個人情報などを格納する用途に利用する。

15 第38図にはCPU 2 のアドレス空間におけるEEPROM 21 とフラッシュメモリ 22 のマッピング例が示される。フラッシュメモリ 22 はアドレスエリア E1（例えば256KB（キロバイト））にマッピングされ、EEPROM 21 はそれとは異なるアドレスエリア E2（例えば64KB）にマッピングされる。この例では、アドレスエリア E1、  
20 E2 のアドレス信号の下位16ビットは共通化されている。

第39図にはCPU 2 による消去方法の第1の例が示される。ここでは、CPU 2 が消去専用コマンドを発行する。消去処理の指示はコマンドコードで与える。消去対象領域、例えばフラッシュメモリの消去対象ページ、或はEEPROMにおける消去対象バイト等はコマンドオペラ  
25 ンドとして指定する。例えば消去対象アドレスを指定する場合、例えば1ページがh' 000000からh' 00FFFFの64KBであると

すると、このページを消去する際に指定するアドレスは、ページの先頭アドレス (h' 0 0 0 0 0 0) あるいは指定ページ内の任意アドレス (h' 0 0 0 0 0 0 ~ h' 0 0 F F F F) の何れかを指定する。誤動作防止を優先するのであれば、先頭アドレスによる指定方法を採用する。ユーザの利便性を優先するのであれば指定ページ内の任意アドレスによる指定方法を採用する。

第 4 0 図には CPU 2 による消去方法の第 2 の例が示される。ここでは CPU 2 の命令セットに含まれるブロック転送命令を利用する。要するに、消去状態に応ずる論理値のデータを用いてフラッシュメモリ 2 2 或は EEPROM 2 1 に書き込み処理を指示する。転送先アドレスが消去対象アドレスとなる。ブロック転送の際、RAM 4 から消去状態に応ずる論理値のデータが読み出されて転送される。この場合、メモリセルへのデータの書き込み処理に先立って、当該転送先アドレスのメモリセルの消去動作を自動的に行うようにする。それにより、メモリセルに格納されているデータは消去され、新たに書き込むべきデータは消去状態に応ずる論理値のデータであるため、結果的には消去状態からメモリセルへの書き込みは行われず、メモリセルの消去が行われる。

第 4 1 図には CPU 2 による消去方法の第 3 の例が示される。ここでは、制御レジスタを介してフラッシュメモリ 2 2 及び EEPROM 2 1 に対する消去対象アドレスを指示する。前記制御レジスタは CPU 2 のアドレス空間にマッピングされ、例えば前記メモリ制御部 4 8 に内蔵されている。CPU 2 は MOV 命令のようなデータライト命令を用いて前記制御レジスタに消去対象のページを指定する。消去動作は CPU 2 が消去状態に応ずるデータの書き込みを指示する MOV 命令を発行することにより指示する。

第 4 2 図には CPU 2 による書き込み方法の第 1 の例が示される。C

P U 2 の命令セットに含まれるブロック転送命令を用いて書き込み処理を指示する。ブロック転送の転送元に書き込み用データが格納されているアドレスを指定し、転送先にフラッシュメモリ (F L A S H) 2 2 又は E E P R O M 2 1 のアドレスを指定する。ブロック転送の先頭に書き込み処理コマンドを配置する。フラッシュメモリ 2 2 又は E E P R O M 2 1 はブロック転送命令による転送終了を受けて、転送された書き込み処理コマンドと書き込みデータを用いて書き込み処理を開始する。動作は書き込み処理だけでなく、書き込み処理の前に書き込み処理領域に対する消去処理を行なうようにしてもよい。この場合、該当ページの消去を行った後に、ブロック転送で指定された領域に対してのみ書き込みを行う。

第 4 3 図には C P U 2 による書き込み方法の第 2 の例が示される。ここでは、フラッシュメモリ 2 2 又は E E P R O M 2 1 のメモリ制御部 4 8 が保有する制御レジスタを介して書き込み動作を行う。C P U 2 は事前にフラッシュメモリ 2 2 や E E P R O M 2 1 に対してデータライト命令やブロック転送命令などを用いて書き込みデータをライトする (①)。このときのライトはメモリマットに書込むのではなく、1 ページ分のフリップフロップやラッチ等のバッファに書き込みデータを一時的に記憶する処理とされる。次にフラッシュメモリ 2 2 又は E E P R O M 2 1 の制御レジスタに書き込み処理用のコードをライトすることで (②)、フラッシュメモリ 2 2 又は E E P R O M 2 1 に対する書き込み処理 (③) が開始される。

第 4 4 図には C P U 2 による書き込み方法の第 3 の例が示される。ここでは、C P U 2 がフラッシュメモリ 2 2 をターゲットとして M O V 命令等を発行して書き込み処理を行う。この場合、R A M 等の揮発性メモリと同様のアクセス方式で、ライトするデータサイズと同じだけ書き込み処理を行う。C P U 2 からフラッシュメモリ 2 2 又は E E P R O M 2 1 へ

のデータライトが行われるたびに、フラッシュメモリ 22 又は E E P R O M 21 において書き込み動作が開始される。この書き込み方法を実現するにはそれをサポートするインタフェース機能をメモリ制御部 48 が持たなければならない。

## 5 《I C カード》

第 45 図には接触インタフェース形式の I C カード 60 A の外観が例示される。合成樹脂から成るカード基板 61 には、特に制限されないが、電極パターンによって形成された端子 62 が表面に露出され、前記マイクロコンピュータ 1 が埋め込まれている。マイクロコンピュータ 1 は第 1 図に例示した構成を備える。前記電極パターンにはマイクロコンピュータ 1 の対応する外部端子が結合される。

第 46 図には非接触インタフェース形式の I C カード 60 B の外観が例示される。合成樹脂から成るカード基板 60 には、特に制限されないが、アンテナ 63 と前記マイクロコンピュータ 1 が埋め込まれている。マイクロコンピュータ 1 は第 2 図に例示した構成を備え、アンテナ端子 T M L 1 , T M L 2 に前記アンテナ 63 が結合される。

例えば前記 I C カード 60 A , 60 B を電子マネーシステムで利用するとき、前記 E E P R O M 21 には金額データやパスワードなどが暗号化されて格納され、電子マネーを利用するときパスワードや金額情報が復号され、復号された情報を用いて正当な利用か否かが判定され、必要な金額が銀行に送金され、或いは別の I C カードに所要の金額が転送される。そのような暗号化・復号処理、ホストインタフェース機能、E E P R O M 21 に対する書き換え処理等を制御するプログラムは、フラッシュメモリ 22 に格納されている。バージョンアップなど、必要に応じてフラッシュメモリ 22 のプログラムは書換えられたりする。

また、前記 I C カード 60 A , 60 B が携帯電話機に装着されて使用

されるとき、前記EEPROM 21には使用者の電話番号、ID番号、課金情報等が暗号化されて格納され、電話を利用するときそれら情報が復号され、復号された情報を用いて正当な利用か否かが判定され、使用度数に応じて課金情報が更新され、再度暗号化される。そのような処理

5 プログラムはフラッシュメモリ 22に格納される。

上記マイクロコンピュータ 1を搭載したICカードによれば、大容量不揮発性メモリとしてフラッシュメモリ 22をユーザに公開した製品とすることができる。あわせてEEPROM 21も搭載しているため、データ保持に対する高信頼性も実現することができる。

10 以上説明したマイクロコンピュータ 1及びICカード 60A, 60Bによれば、フラッシュメモリ 22を利用することで大容量データに対応できる。EEPROM 21を利用することでライトデータの信頼性が向上する。大規模なアプリケーション/データにも対応できる。例えば、指紋や網膜形状などを利用する生体認証など、大規模データを格納・処

15 理する必要のあるアプリケーションにも応用可能となる。フラッシュメモリ 22とEEPROM 21で構成回路を共有可できるため、メモリモジュール 6の面積が縮小できる。不揮発性メモリセルをフラッシュメモリ 22とEEPROM 21の間で共通化することにより、製造プロセスで用いるマスク枚数を低減することができる。不揮発性メモリセルをフ

20 ラッシュメモリ 22とEEPROM 21の間で共通化することにより、双方のメモリアレイにおけるメモリセルのピッチが等しく成り、メモリセルを選択する信号の配線ピッチ等を双方のメモリ 21, 22で共通化できる。これにより、双方のメモリ 21, 22でワードドライバなどを共通化したりするのが容易になる。

25 以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが本発明はそれに限定されるものではなく、その要旨を逸脱しな

い範囲において種々変更可能である。

例えば、不揮発性メモリセルはセパレートゲートのMONOS型に限定されず、フローティングゲートを用いるメモリであってもよい。

5 本発明のマイクロコンピュータはICカード用にSOCとして搭載するのだけでなく、ICカードのリーダ・ライタ側に、フラッシュメモリとEEPROMを混載したメモリモジュールを設置しておき、リーダ・ライタ経由でICカード用のマイクロコンピュータに接続する構成も可能である。要するに、フラッシュメモリとEEPROMを混載したメモリモジュールを外付けとして、マクロコンピュータにアクセス可能  
10 にしてもよい。

フラッシュメモリとEEPROMを混載したメモリモジュールをシングルチップとし、それとは別チップのCPU或はメモリコントローラを接続して使用することも可能である。マイクロコンピュータは不揮発性メモリだけでなく、マスクROMも混載することは妨げられない。

15 また、CPUとフラッシュメモリを一つのチップに形成し、EEPROMを別のチップに形成して、ICカードに適用してもよい。

また、不揮発性メモリは2値で情報記憶を行なうものに限定されず、1個のメモリセルに4値などの多値で情報記憶を行なうものであってもよい。また、電荷蓄積性絶縁膜は窒化膜に限定されず、電荷トラップ  
20 性粒子を分散させた絶縁膜であってもよい。更に第1データ長はバイトに限定されず、ワード(32ビット)、或はロングワード(64ビット)などであってもよい。第2データ長も1024ビットに限定されない。

#### 産業上の利用可能性

25 本発明は、マイクロコンピュータ及びICカード等に広く適用することができる。

## 請 求 の 範 囲

1. 第 1 データ長単位に記憶情報の消去が行われる第 1 の不揮発性メモリと、第 2 データ長単位に記憶情報の消去が行われる第 2 の不揮発性メモリと、中央処理装置とを有し、外部と暗号化したデータの入出力が可能であり、

前記第 1 の不揮発性メモリは前記データの暗号化に使用する暗号化鍵の格納に使用され、

前記第 2 の不揮発性メモリは前記中央処理装置が処理すべきプログラムの格納に使用されることを特徴とする半導体処理装置。

2. 前記第 1 の不揮発性メモリは更に個人を特定するために用いられる情報の格納に使用されることを特徴とする請求の範囲第 1 項記載の半導体処理装置。

3. 前記第 1 データ長は前記第 2 データ長よりも短いことを特徴とする請求の範囲第 2 項記載の半導体処理装置。

4. 前記半導体処理装置は更に外部との入出力に用いられる端子を有し、

前記プログラムは前記端子を介して外部から供給され前記第 2 の不揮発性メモリに格納されることを特徴とする請求の範囲第 3 項記載の半導体処理装置。

5. 前記中央処理装置は前記第 1 の不揮発性メモリと前記第 2 の不揮発性メモリとを並行してアクセス処理が可能であることを特徴とする請求の範囲第 4 項記載の半導体処理装置。

6. 前記第 1 の不揮発性メモリは複数のメモリセルから成るメモリアレイ部と選択されたメモリセルへのアクセス制御を行なう制御部とを有し、

前記第 2 の不揮発性メモリは複数のメモリセルから成るメモリアレ

イ部と選択されたメモリセルへのアクセス制御を行なう制御部とを有し、

前記第 1 の不揮発性メモリの制御部と前記第 2 の不揮発性メモリの制御部は少なくとも一部において共通であることを特徴とする請求の  
5 範囲第 5 項記載の半導体処理装置。

7. 前記共通とされる制御部の一部は、メモリセルからデータを読み出す際の読み出し信号を増幅するために用いられるアンプ回路であることを特徴とする請求の範囲第 6 項記載の半導体処理装置。

8. 前記共通とされる制御部の一部は、メモリセルにアクセスする際に  
10 メモリセルに印加する電圧を発生させる電圧発生回路であることを特徴とする請求の範囲第 6 項記載の半導体処理装置。

9. 前記共通とされる制御部の一部は、メモリセルにアクセスする際にメモリセルを選択するデコード回路であることを特徴とする請求の範囲第 6 項記載の半導体処理装置。

15 10. 第 1 データ長単位に記憶情報の消去が行われる第 1 の不揮発性メモリと、第 2 データ長単位に記憶情報の消去が行われる第 2 の不揮発性メモリと、中央処理装置と、外部とデータの入出力を行なうための端子とを有し、1 の合成樹脂に封入され、

前記外部とは暗号化したデータの入出力が行われ、

20 前記第 1 の不揮発性メモリは前記データの暗号化に使用する暗号化鍵の格納に使用され、

前記第 2 の不揮発性メモリは前記中央処理装置が処理すべきプログラムの格納に使用されることを特徴とする IC カード。

11. 第 1 データ長単位に記憶情報の消去が行われる第 1 の不揮発性メモリと、第 2 データ長単位に記憶情報の消去が行われる第 2 の不揮発性  
25 メモリと、中央処理装置と、外部とデータの入出力を行なうためのアン



テナとを合成樹脂に封入されて備え、

前記外部とは暗号化したデータの入出力が行われ、

前記第 1 の不揮発性メモリは前記データの暗号化に使用する暗号化鍵の格納に使用され、

5 前記第 2 の不揮発性メモリは前記中央処理装置が処理すべきプログラムの格納に使用されることを特徴とする IC カード。

1 2 . 前記中央処理装置と第 1 の不揮発性メモリは第 1 の半導体基板上に形成され、

前記第 2 の不揮発性メモリは第 2 の半導体基板上に形成され、

10 前記第 1 の不揮発性メモリはデータを格納するためにメモリセルに窒化膜が用いられることを特徴とする請求の範囲第 1 0 項又は第 1 1 項記載の IC カード。

1 3 . 前記中央処理装置と第 1 の不揮発性メモリは第 1 の半導体基板上に形成され、

15 前記第 2 の不揮発性メモリは第 2 の半導体基板上に形成され、

前記第 2 の不揮発性メモリはデータを格納するためにメモリセルにフローティングゲートが用いられることを特徴とする請求の範囲第 1 0 項又は第 1 1 項記載の IC カード。

1 4 . 第 1 データ長単位に記憶情報の消去が行われる第 1 の不揮発性メモリと、第 2 データ長単位に記憶情報の消去が行われる第 2 の不揮発性メモリと、中央処理装置とを有し、外部とは暗号化したデータの入出力が可能であり、

前記第 1 の不揮発性メモリと第 2 の不揮発性メモリは夫々複数のメモリセルを有し、

25 夫々のメモリセルはソース領域、ドレイン領域、及び前記ソース領域とドレイン領域の間のチャネル領域を有し、前記チャネル領域上部に絶

縁層を介してデータ蓄積性絶縁層と第 1 ゲートとを有し、前記データ蓄積性絶縁層上部に第 2 ゲートを有し、

5 前記第 1 の不揮発性メモリと第 2 の不揮発性メモリはそれぞれ複数の第 1 ワード線を有し、第 1 の不揮発性メモリで記憶情報の消去が行われるとき上記第 1 ワード線に、対応するメモリセルが接続され、第 2 の不揮発性メモリで記憶情報の消去が行われるとき上記第 1 ワード線に、対応するメモリセルが接続され、第 1 の不揮発性メモリにおいて上記第 1 ワード線に接続されるメモリセルの数は、第 2 の不揮発性メモリにおいて上記第 1 ワード線に接続されるメモリセルの数よりも少ないことを特徴とする半導体処理装置。

10 15. 前記第 1 ワード線と同数の第 2 ワード線を有し、

前記第 1 ワード線は夫々のメモリセルの第 2 ゲートに接続され、前記第 2 ワード線は夫々のメモリセルの第 1 ゲートに接続されることを特徴とする請求の範囲第 14 項記載の半導体処理装置。

15 16. 前記第 1 の不揮発性メモリにおいて、記憶情報の消去が行われるとき、記憶情報の消去対象とする一部のメモリセルの第 2 ゲートを第 1 ワード線に接続可能にするスイッチ素子を有することを特徴とする請求の範囲第 15 項記載の半導体処理装置。

20 17. 前記スイッチ素子は不揮発性メモリセルと同一導電型の MOS トランジスタであることを特徴とする請求の範囲第 16 項記載の半導体処理装置。

18. 第 1 データ長単位に記憶情報の消去が行われる第 1 の不揮発性メモリと、第 2 データ長単位に記憶情報の消去が行われる第 2 の不揮発性メモリと、中央処理装置と、外部インタフェース回路とを有し、

25 前記第 1 の不揮発性メモリはデータの格納に使用され、

前記第 2 の不揮発性メモリは前記中央処理装置が処理すべきプログ

ラムの格納に使用され、

前記第 1 データ長は前記第 2 データ長よりも短いことを特徴とする半導体処理装置。

5 19. 前記不揮発性メモリセルは、半導体基板に、ソース領域、ドレイン領域、及び前記ソース領域とドレイン領域に挟まれたチャンネル領域とを有し、前記チャンネル領域上には、第 1 絶縁膜を介して配置されたコントロールゲート電極と、第 2 絶縁膜及び電荷蓄積性絶縁膜を介して配置され前記コントロールゲート電極と電氣的に分離されたメモリゲート電極とを有し、前記コントロールゲート電極のゲート耐圧は前記メモリゲート電極のゲート耐圧よりも低いことを特徴とする請求の範囲第 10 18 項記載の半導体処理装置。

20. 前記コントロールゲート電極のゲート耐圧は前記 CPU に含まれる MOS トランジスタのゲート耐圧に等しいことを特徴とする請求の範囲第 19 項記載の半導体処理装置。

15 21. 第 1 の不揮発性メモリは第 1 データ長単位に記憶情報の消去が行なわれたメモリセルに対する情報保持を第 1 データ長単位に行なうことを特徴とする請求の範囲第 19 項記載の半導体処理装置。

22. 第 2 の不揮発性メモリは第 2 データ長単位に記憶情報の消去が行なわれたメモリセルに対する情報保持を第 2 データ長よりも短い単位で行なうことを特徴とする請求の範囲第 19 項記載の半導体処理装置。 20

23. 前記中央処理装置は前記第 1 の不揮発性メモリと前記第 2 の不揮発性メモリとへ並行してアクセス処理が可能であることを特徴とする請求の範囲第 19 項記載の半導体処理装置。

24. 前記第 1 の不揮発性メモリは複数のメモリセルから成るメモリアレイ部と選択されたメモリセルへのアクセス制御を行なう制御部とを有し、 25

前記第 2 の不揮発性メモリは複数のメモリセルから成るメモリアレイ部と選択されたメモリセルへのアクセス制御を行なう制御部とを有し、

5 前記第 1 の不揮発性メモリの制御部と前記第 2 の不揮発性メモリの制御部は少なくとも一部において共通であることを特徴とする請求の範囲第 2 3 項記載の半導体処理装置。

2 5 . 前記共通とされる制御部の一部は、メモリセルからデータを読み出す際の読み出し信号を増幅するために用いられるアンプ回路であることを特徴とする請求の範囲第 2 4 項記載の半導体処理装置。

10 2 6 . 前記共通とされる制御部の一部は、メモリセルにアクセスする際にメモリセルに印加する電圧を発生させる電圧発生回路であることを特徴とする請求の範囲第 2 4 項記載の半導体処理装置。

15 2 7 . 前記共通とされる制御部の一部は、メモリセルにアクセスする際にメモリセルを選択するデコーダ回路であることを特徴とする請求の範囲第 2 4 項記載の半導体処理装置。

2 8 . 第 1 データ長単位に記憶情報の消去が行われる第 1 の不揮発性メモリと、第 2 データ長単位に記憶情報の消去が行われる第 2 の不揮発性メモリと、中央処理装置と、外部とデータの入出力を行うための端子とを合成樹脂に封入されて備え、

20 前記第 1 の不揮発性メモリはデータの格納に使用され、

前記第 2 の不揮発性メモリは前記中央処理装置が処理すべきプログラムの格納に使用され、

前記第 1 データ長は前記第 2 データ長よりも短いことを特徴とする I C カード。

25 2 9 . 第 1 データ長単位に記憶情報の消去が行われる第 1 の不揮発性メモリと、第 2 データ長単位に記憶情報の消去が行われる第 2 の不揮発性

メモリと、中央処理装置と、外部とデータの入出力を行なうためのアンテナとを合成樹脂に封入されて備え、

前記第 1 の不揮発性メモリはデータの格納に使用され、

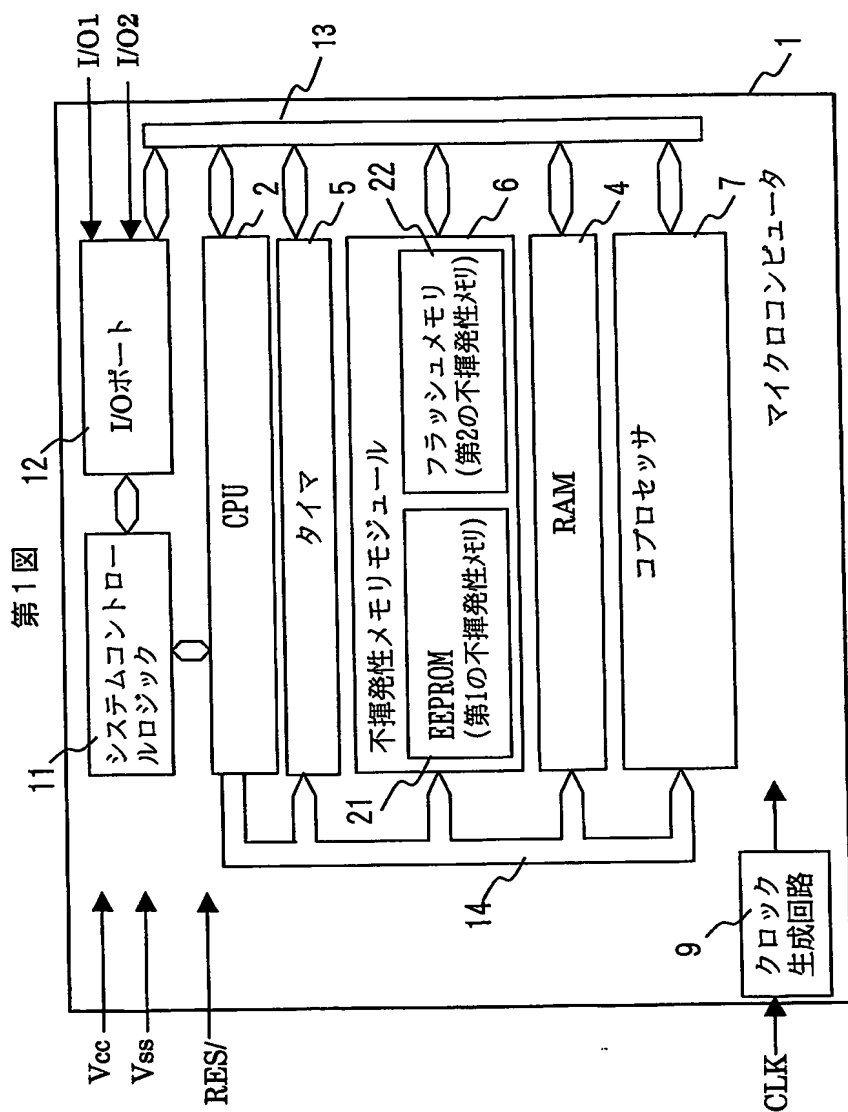
5 前記第 2 の不揮発性メモリは前記中央処理装置が処理すべきプログラムの格納に使用され、

前記第 1 データ長は前記第 2 データ長よりも短いことを特徴とする I C カード。

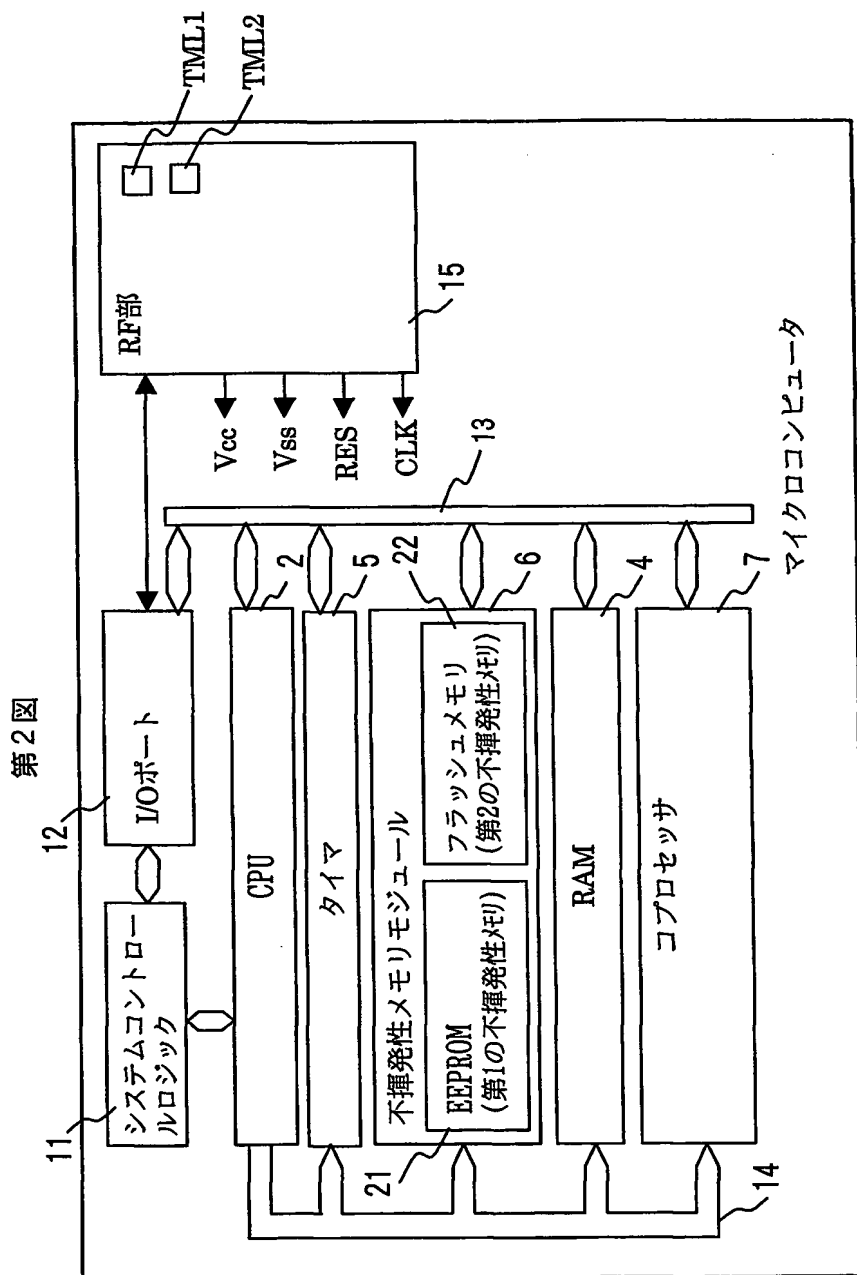
30. 前記不揮発性メモリセルは、半導体基板に、ソース領域、ドレイン領域、及び前記ソース領域とドレイン領域に挟まれたチャンネル領域とを有し、前記チャンネル領域上には、第 1 絶縁膜を介して配置されたコントロールゲート電極と、第 2 絶縁膜及び電荷蓄積性絶縁膜を介して配置され前記コントロールゲート電極と電氣的に分離されたメモリゲート電極とを有し、前記コントロールゲート電極のゲート耐圧は前記メモリゲート電極のゲート耐圧よりも低いことを特徴とする請求の範囲第 10  
15 28 項又は 29 項記載の半導体処理装置。

31. 前記コントロールゲート電極のゲート耐圧は前記 CPU に含まれる MOS トランジスタのゲート耐圧に等しいことを特徴とする請求の範囲第 30 項記載の半導体処理装置。

1 / 3 2

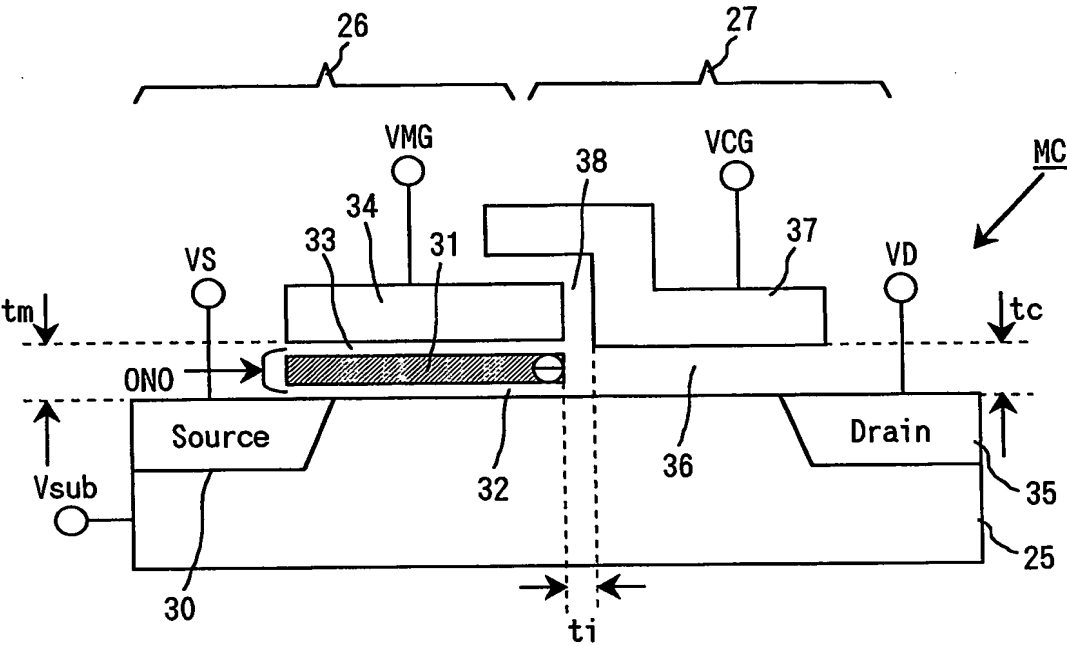


2 / 3 2



3 / 3 2

第 3 図



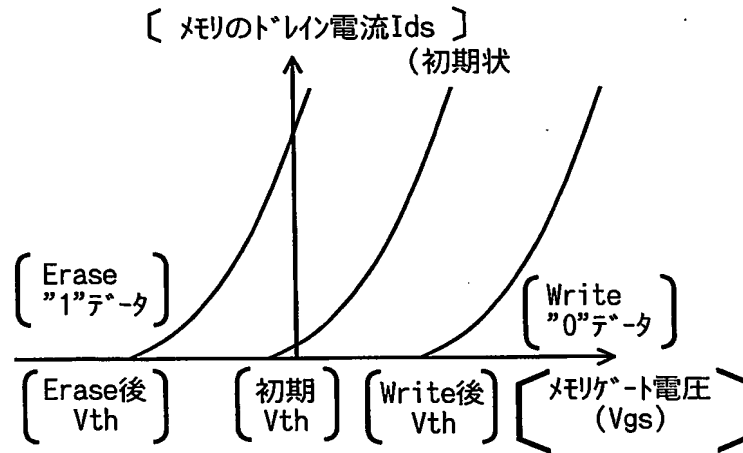
第 4 図

	VD	VCG	VMG	VS	Vsub
Read	1.5V	1.5V	0V	0V	0V
Write	0.5V	1.5V	10V	6V	0V
Erase	0V	1.5V	12V	0V	0V



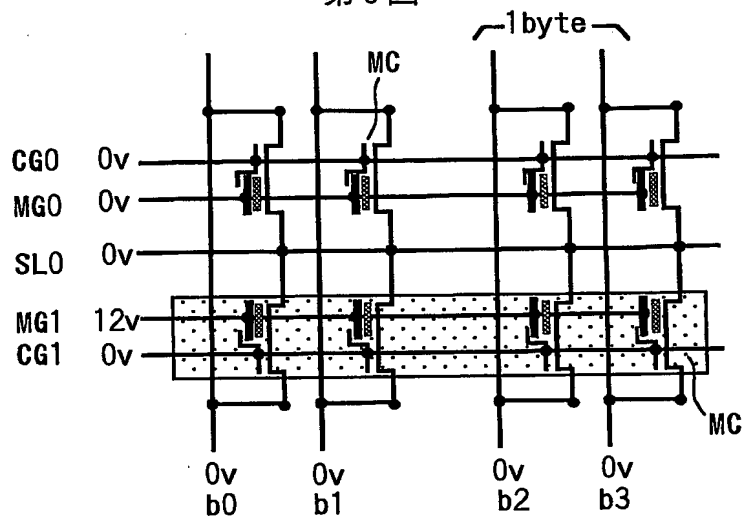
4 / 3 2

第5図

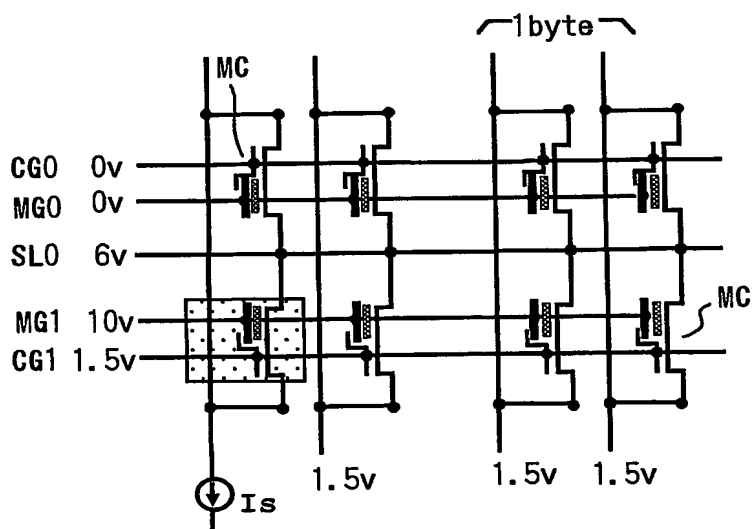


5 / 3 2

第 6 図

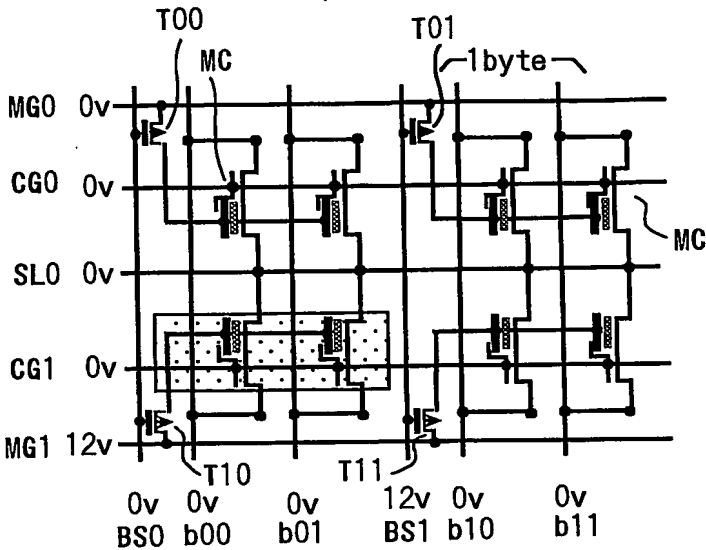


第 7 図

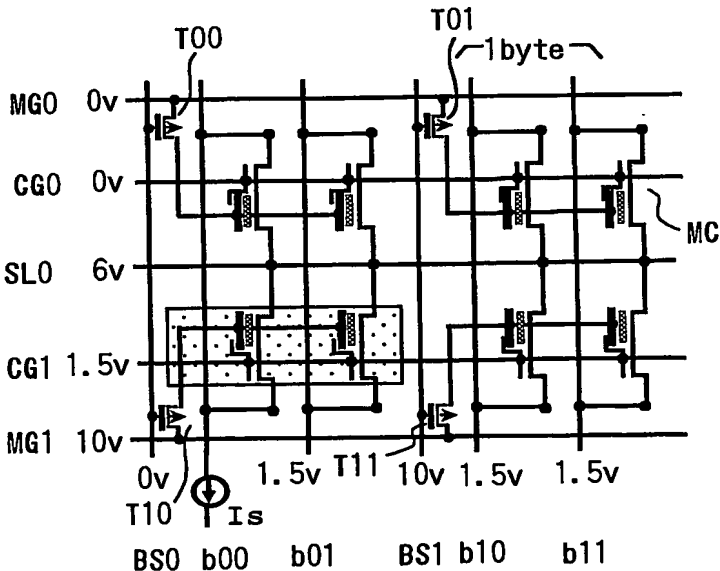


6 / 3 2

第 8 図

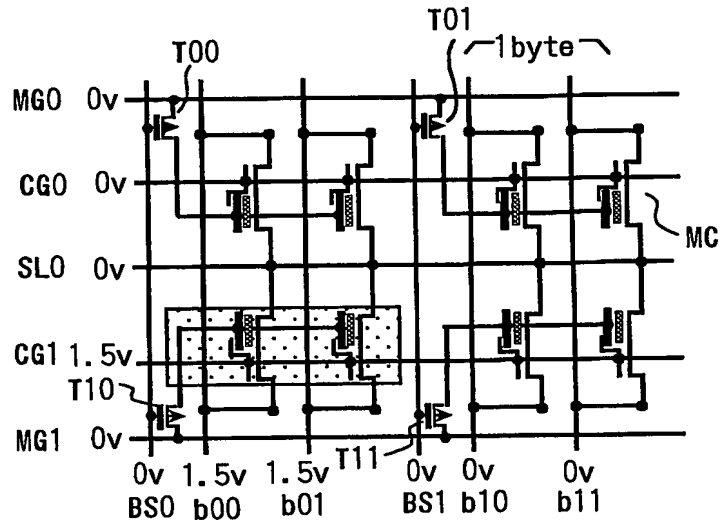


第 9 図

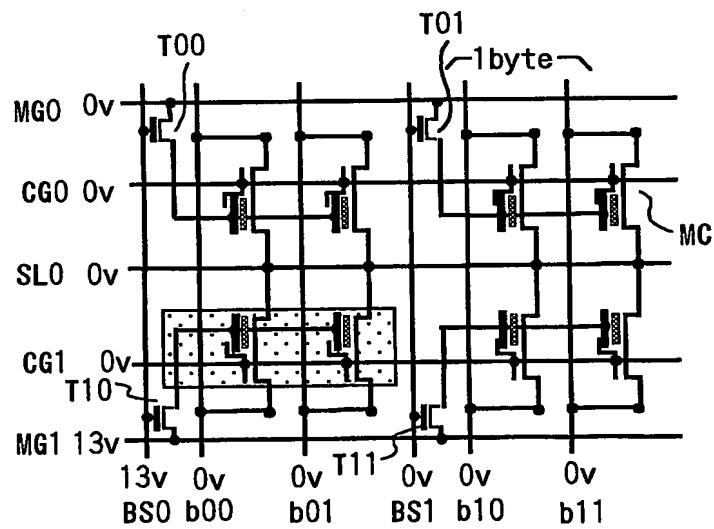


7 / 3 2

第 1 0 図

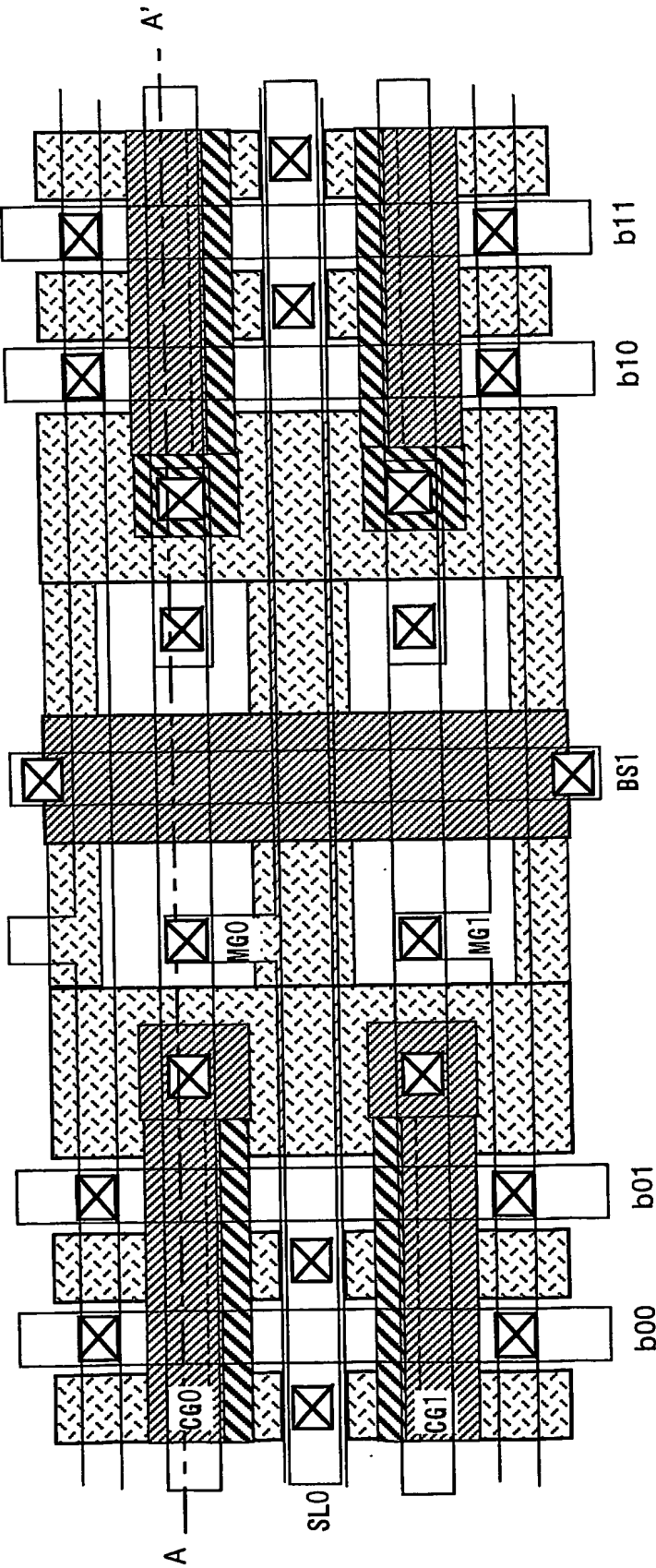


第 1 3 図



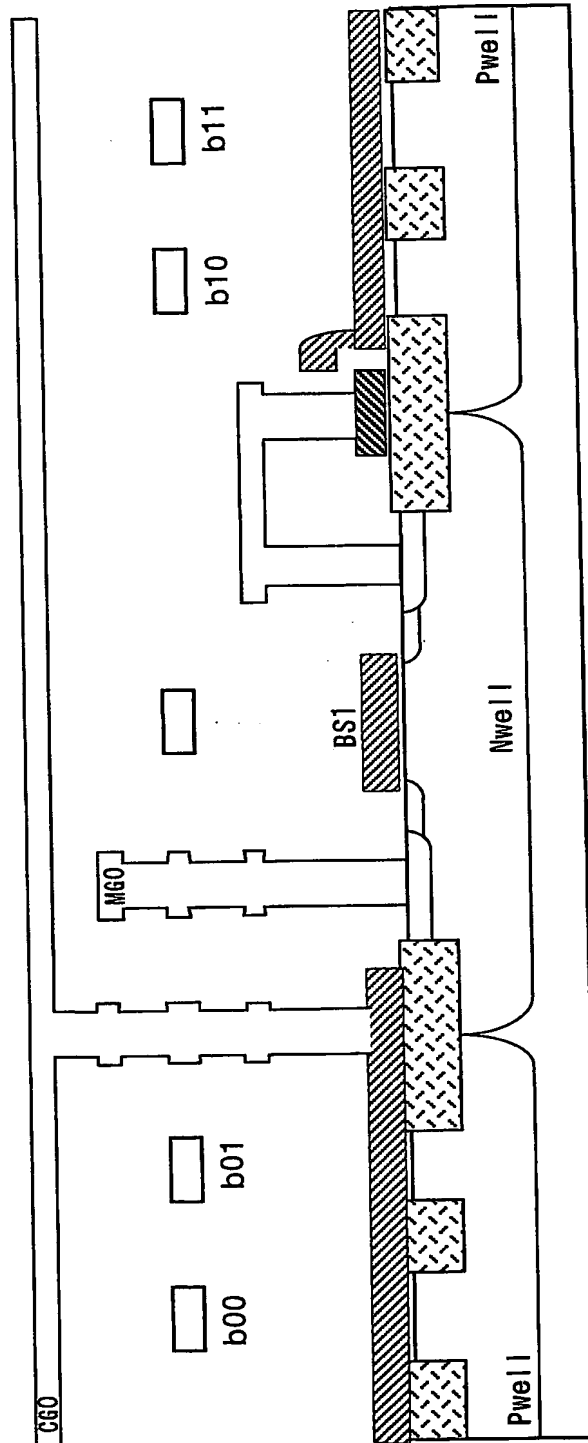
8 / 3 2

第 1 1 図



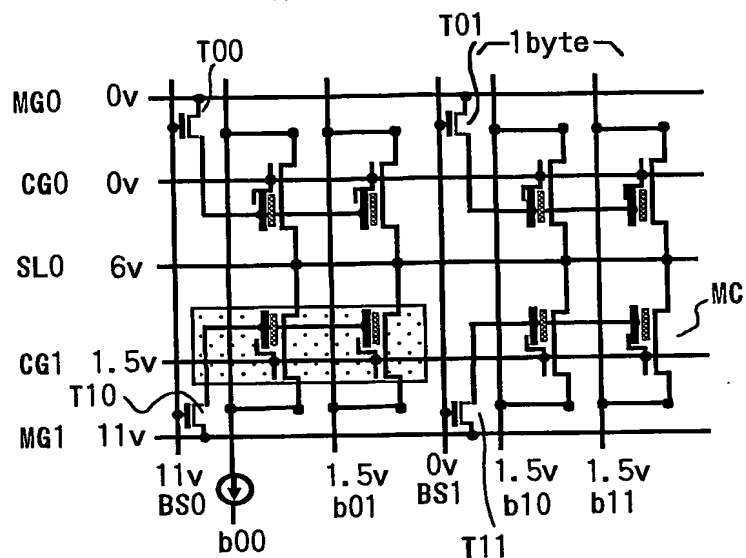
9 / 3 2

第12図

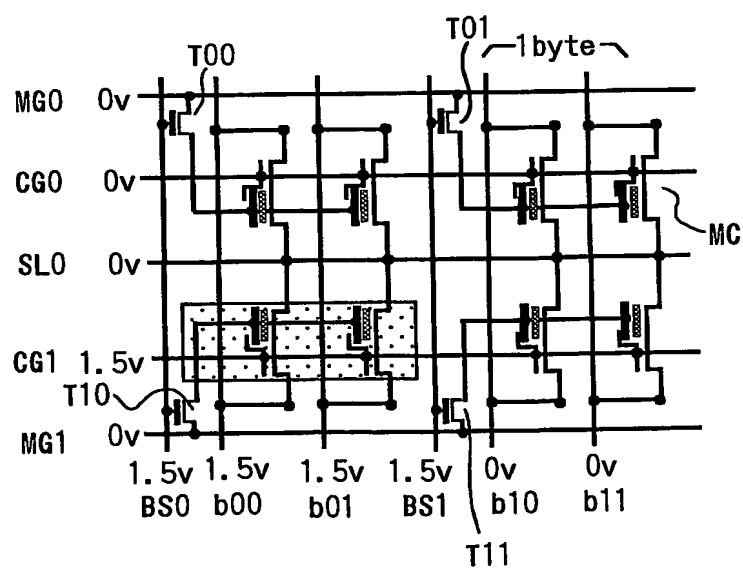


10 / 32

第14図

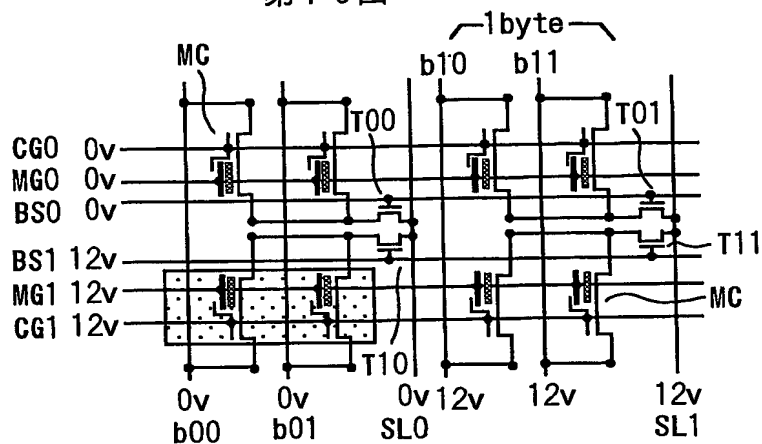


第15図

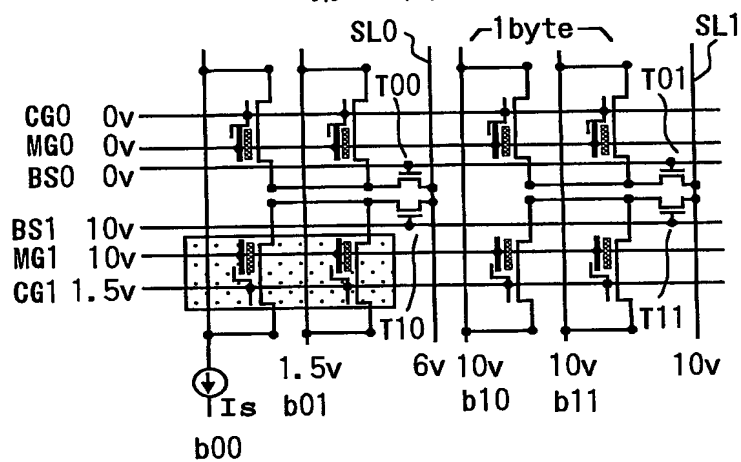


11 / 32

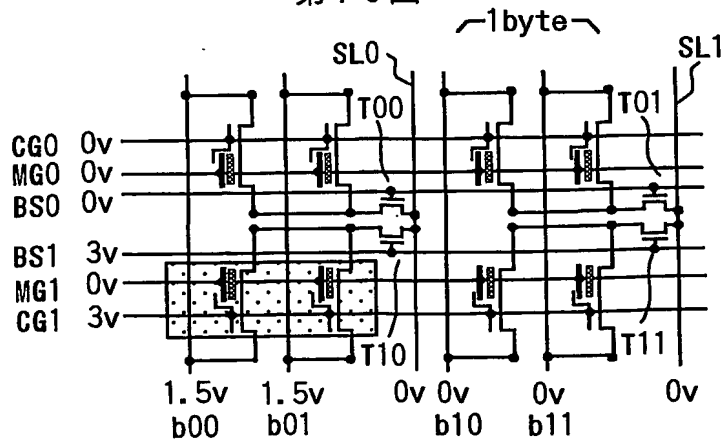
第16図



第17図



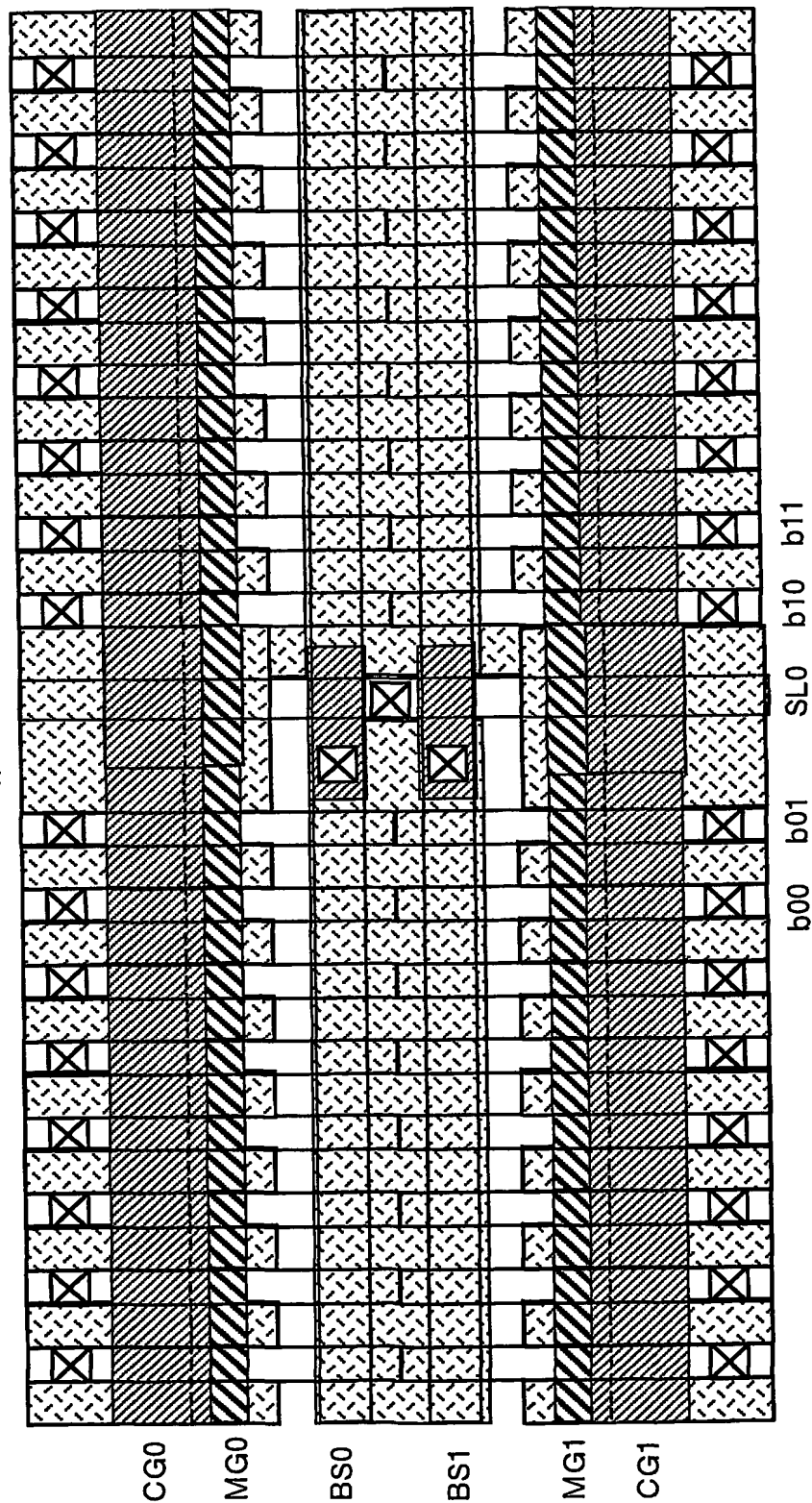
第18図





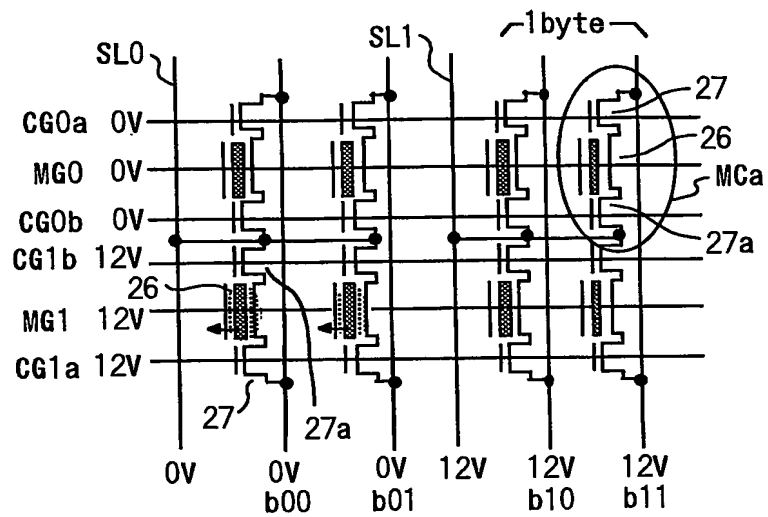
1 2 / 3 2

第19図

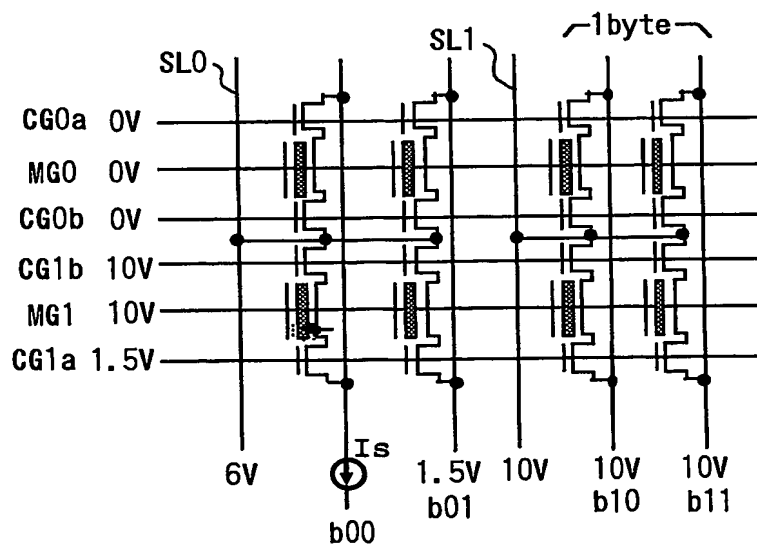


1 3 / 3 2

第 2 0 図

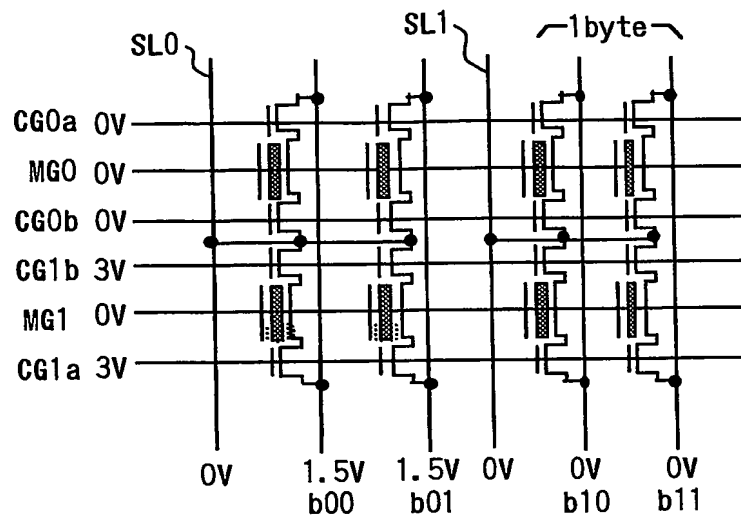


第 2 1 図

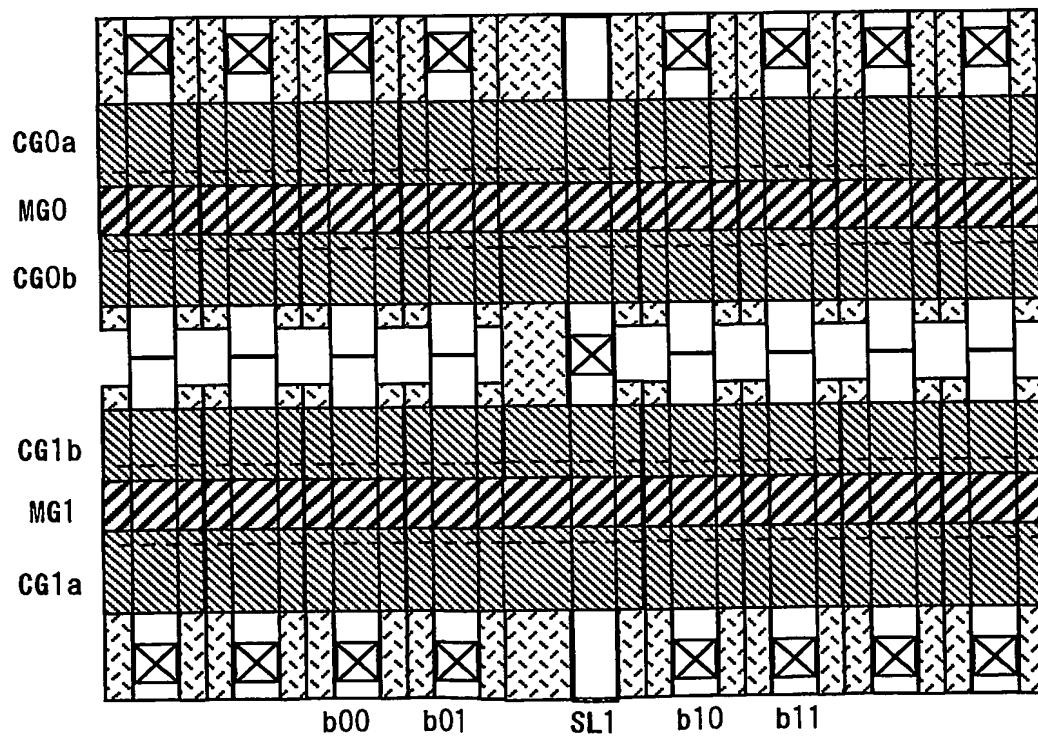


1 4 / 3 2

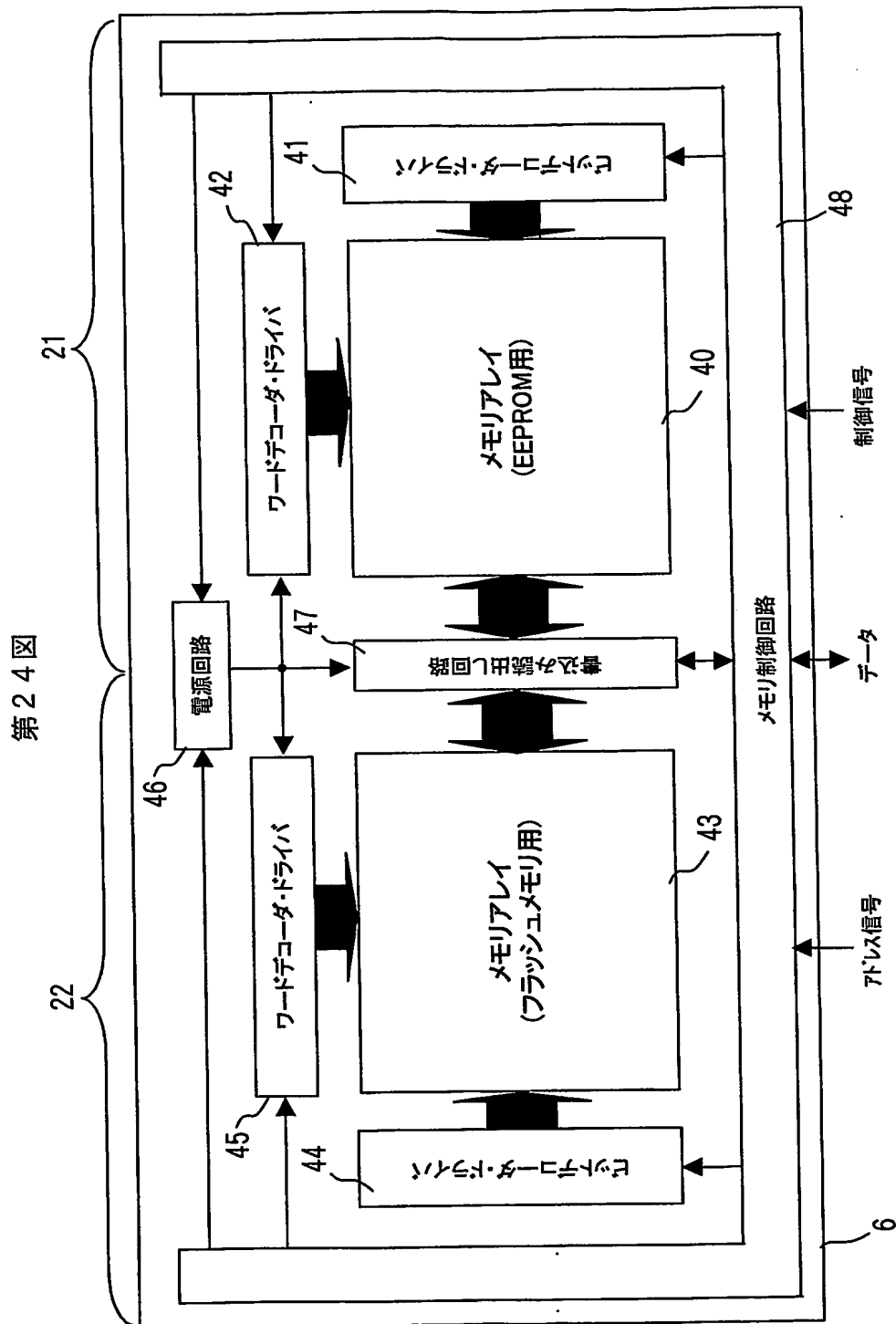
第 2 2 図



第 2 3 図

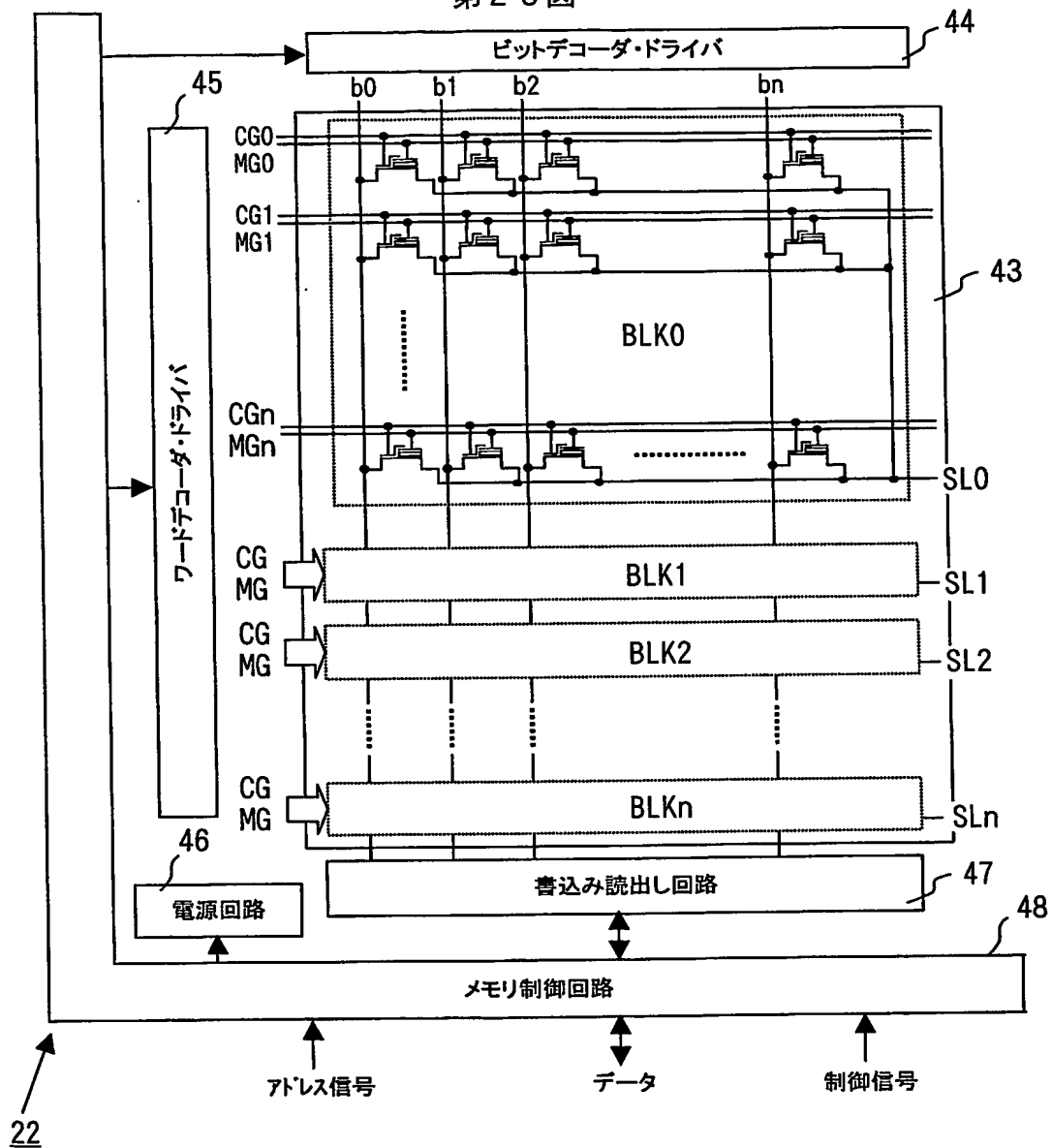


15/32

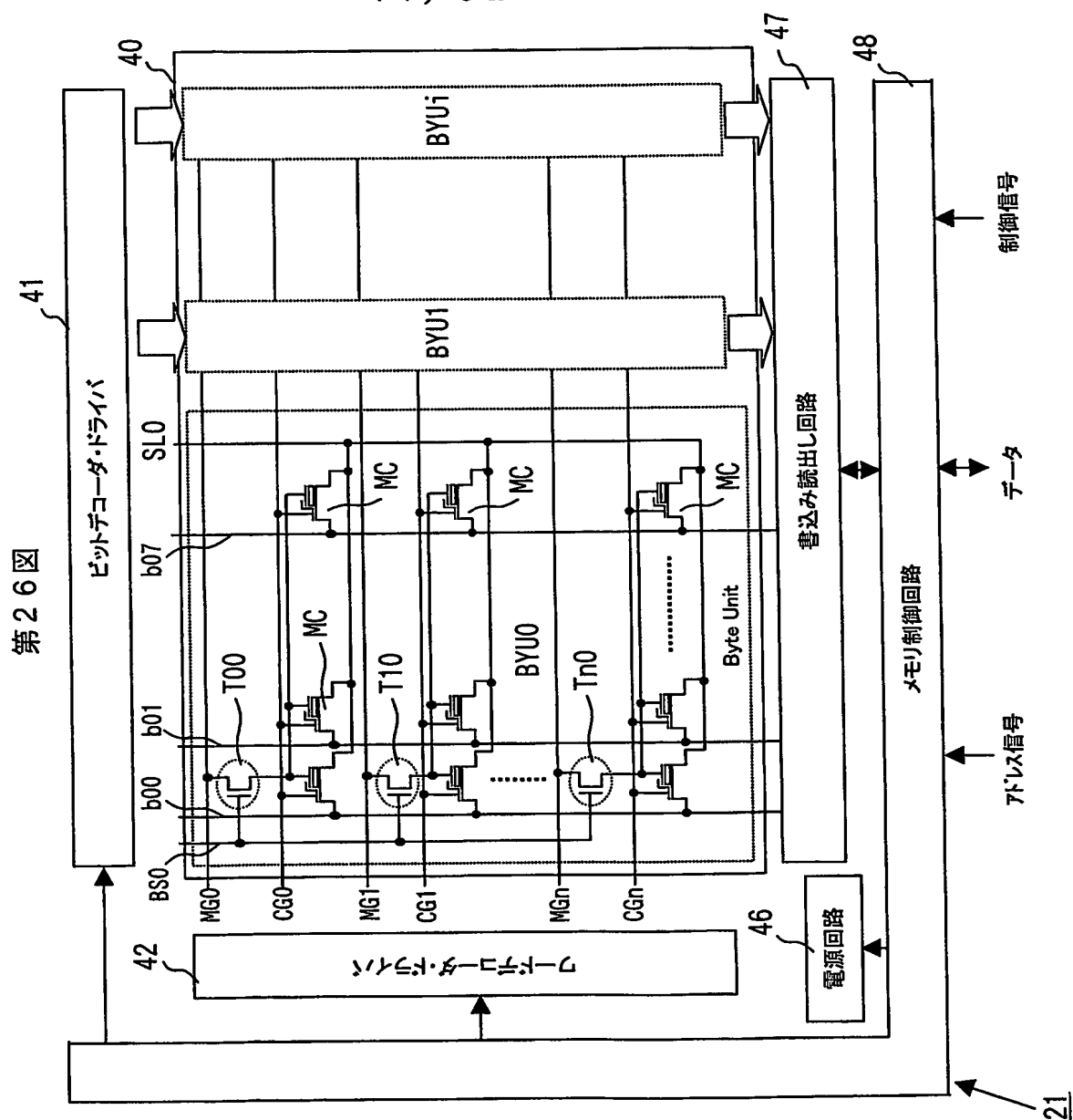


16/32

第25図

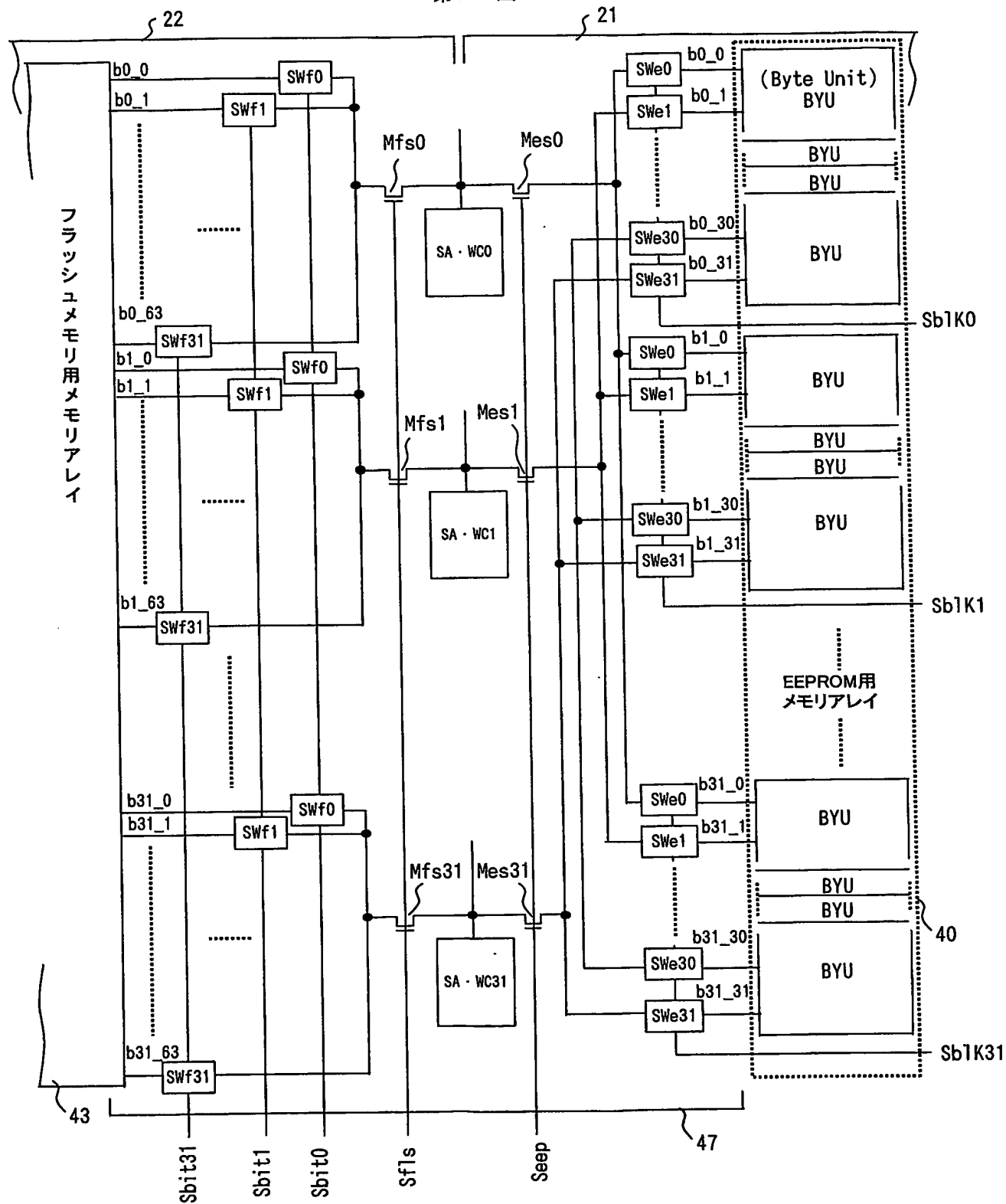


17/32



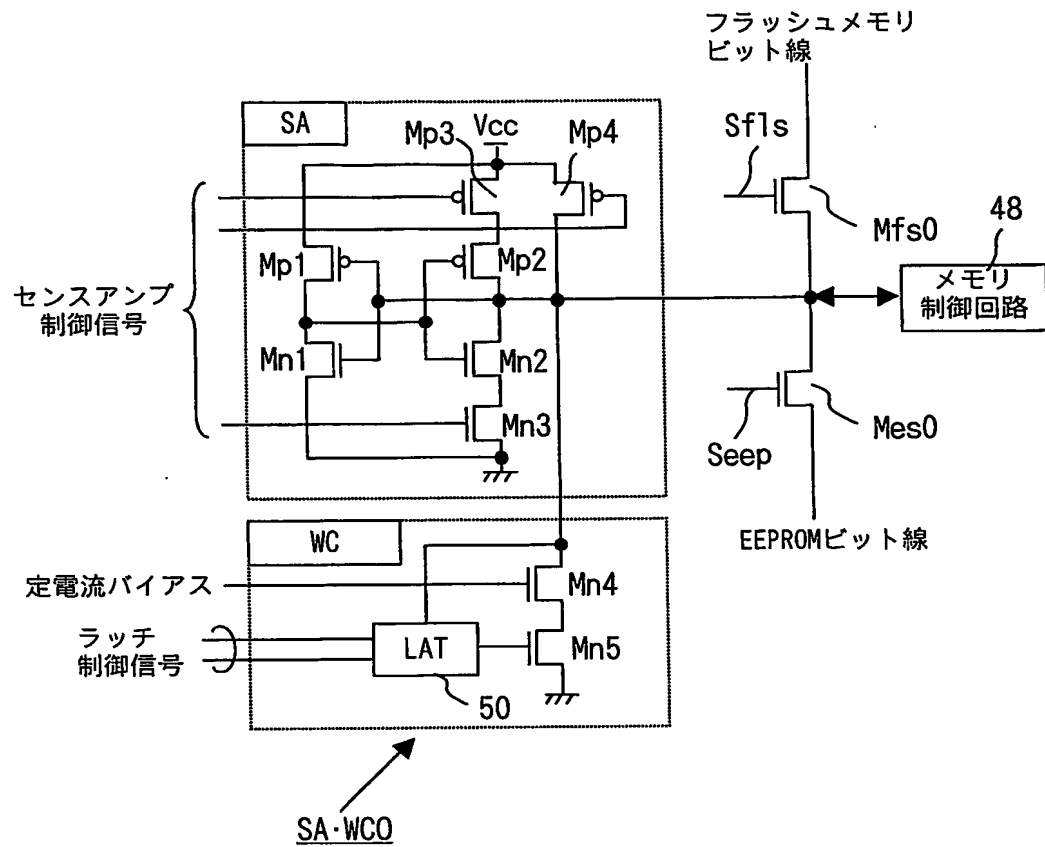
18/32

第27図



19/32

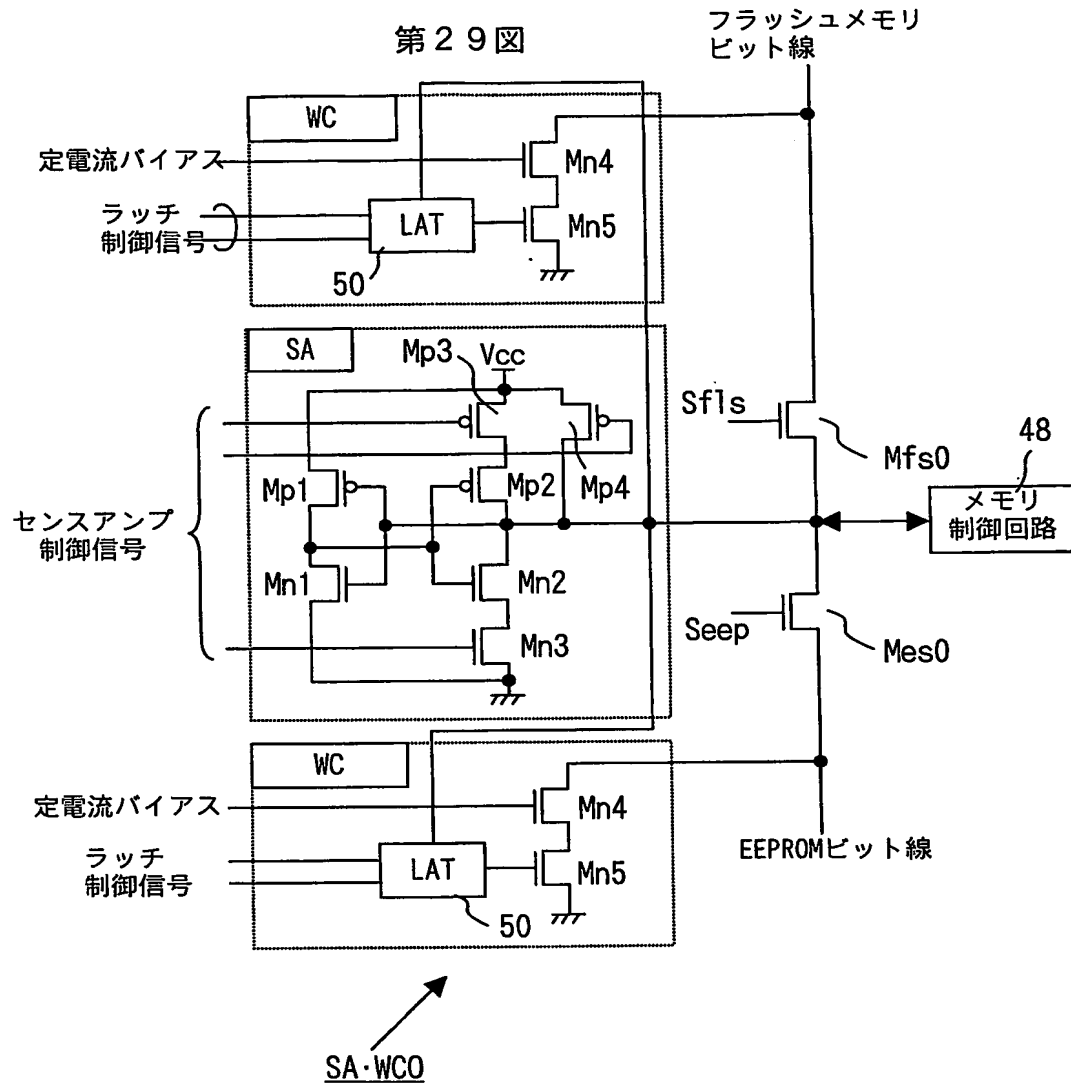
第28図





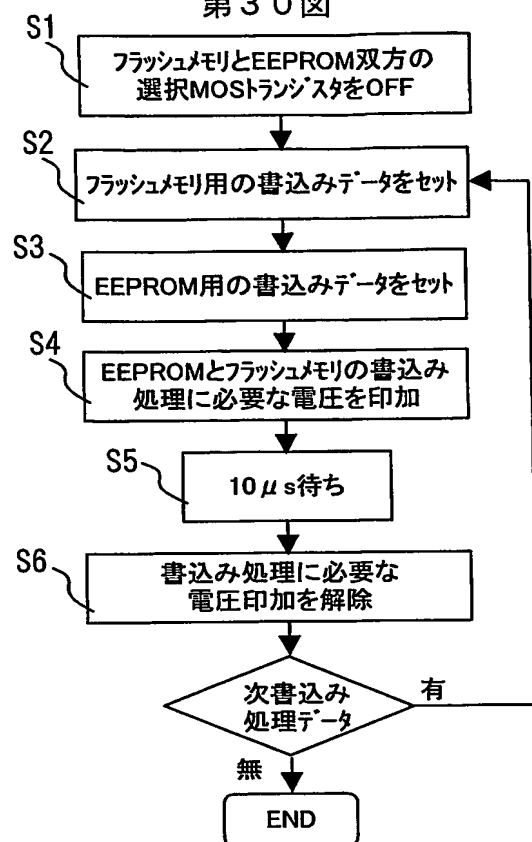
20/32

第29図



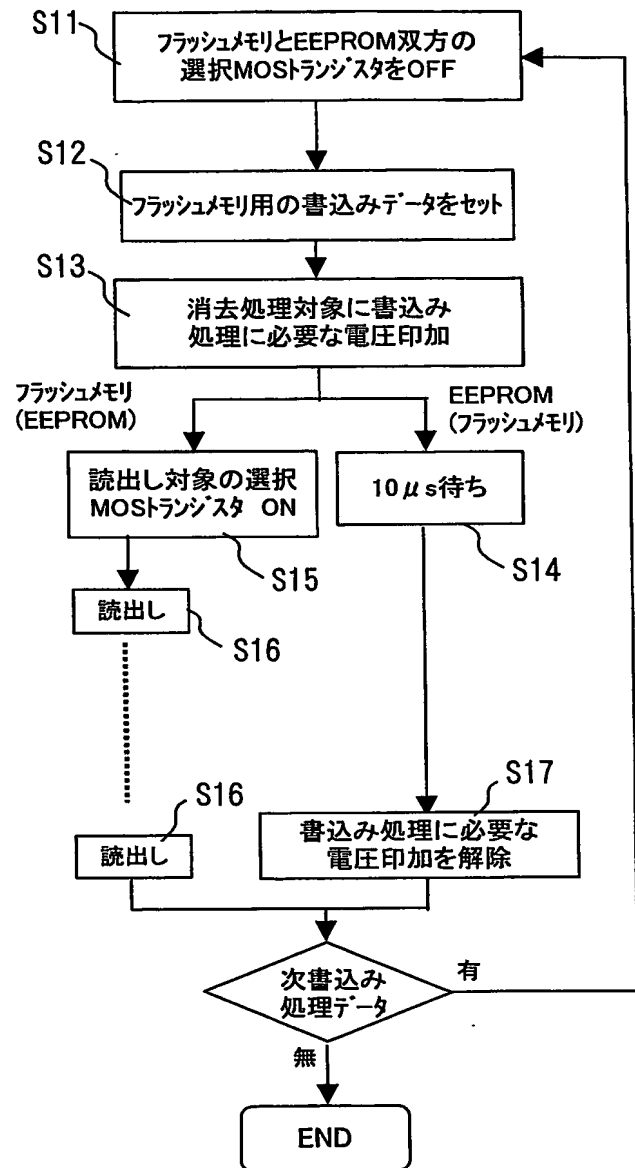
21 / 32

第30図



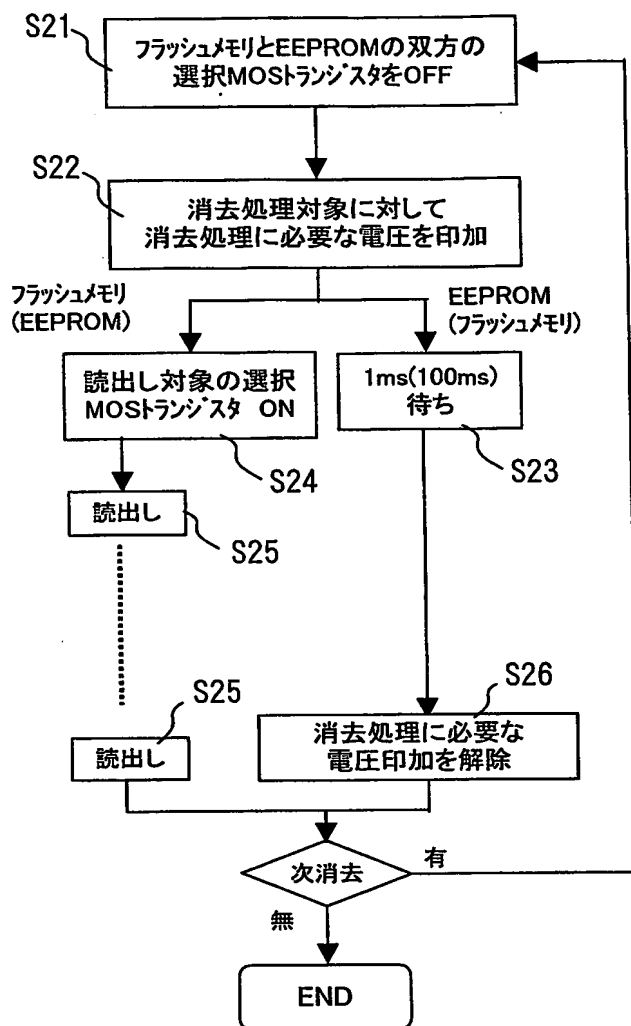
22/32

第31図



23 / 32

第32図

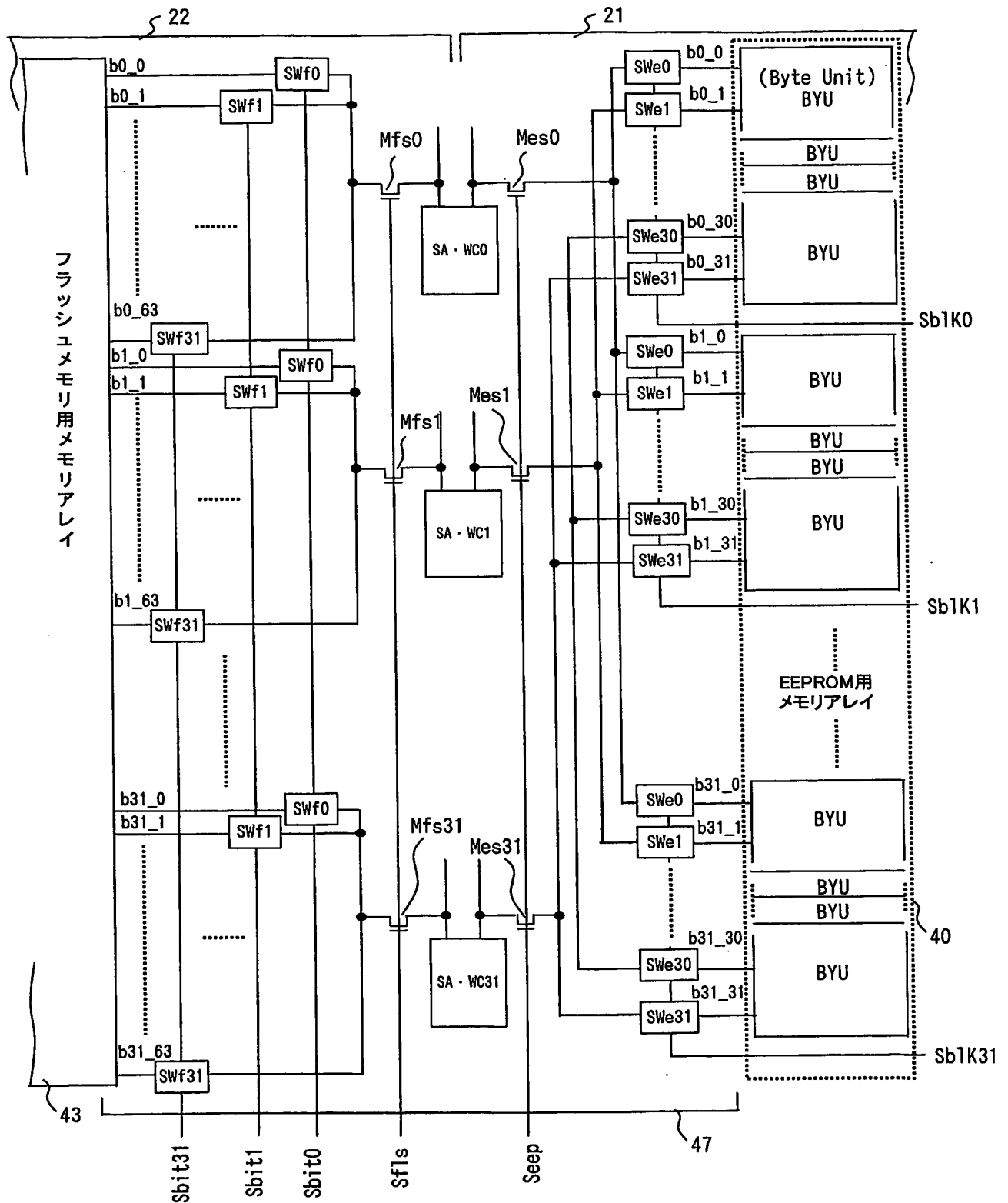


第33図

	方式	仕様	
		Flash	EEPROM
消去処理	F-Nトンネル	100ms	1ms
書き込み処理	ホットエレクトロン	10us/bit	10us/bit

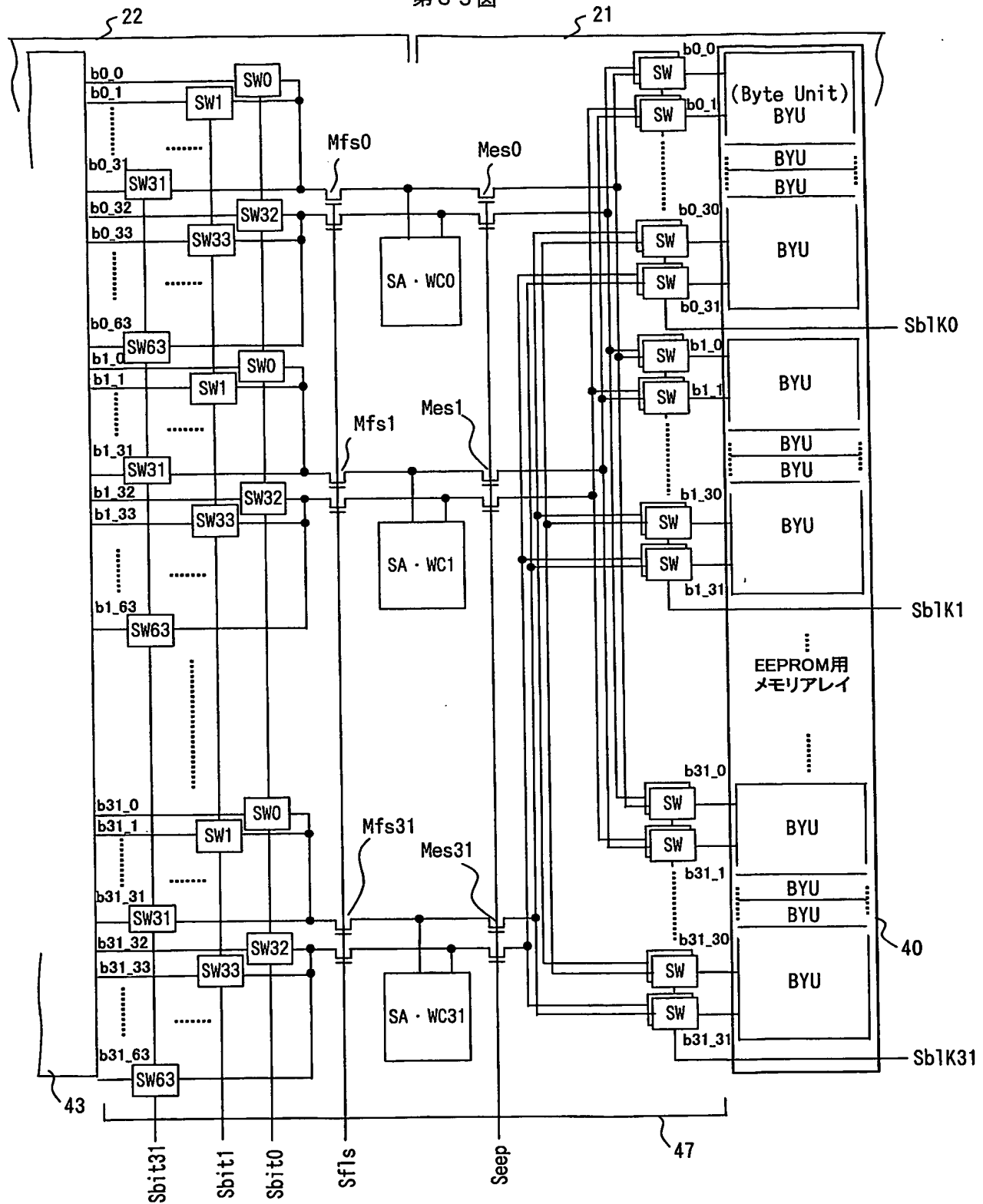
24/32

第34図



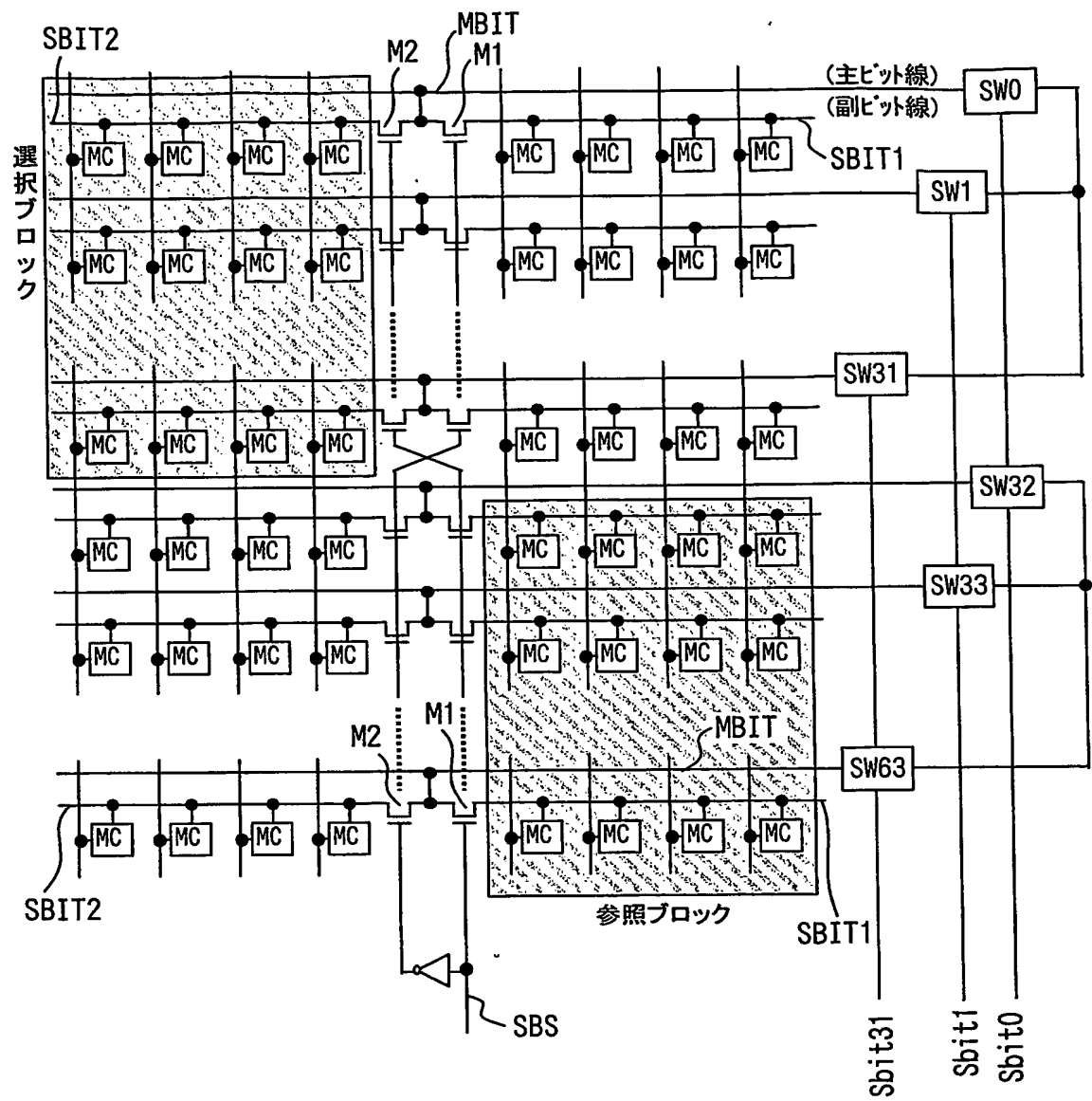
25/32

第35図

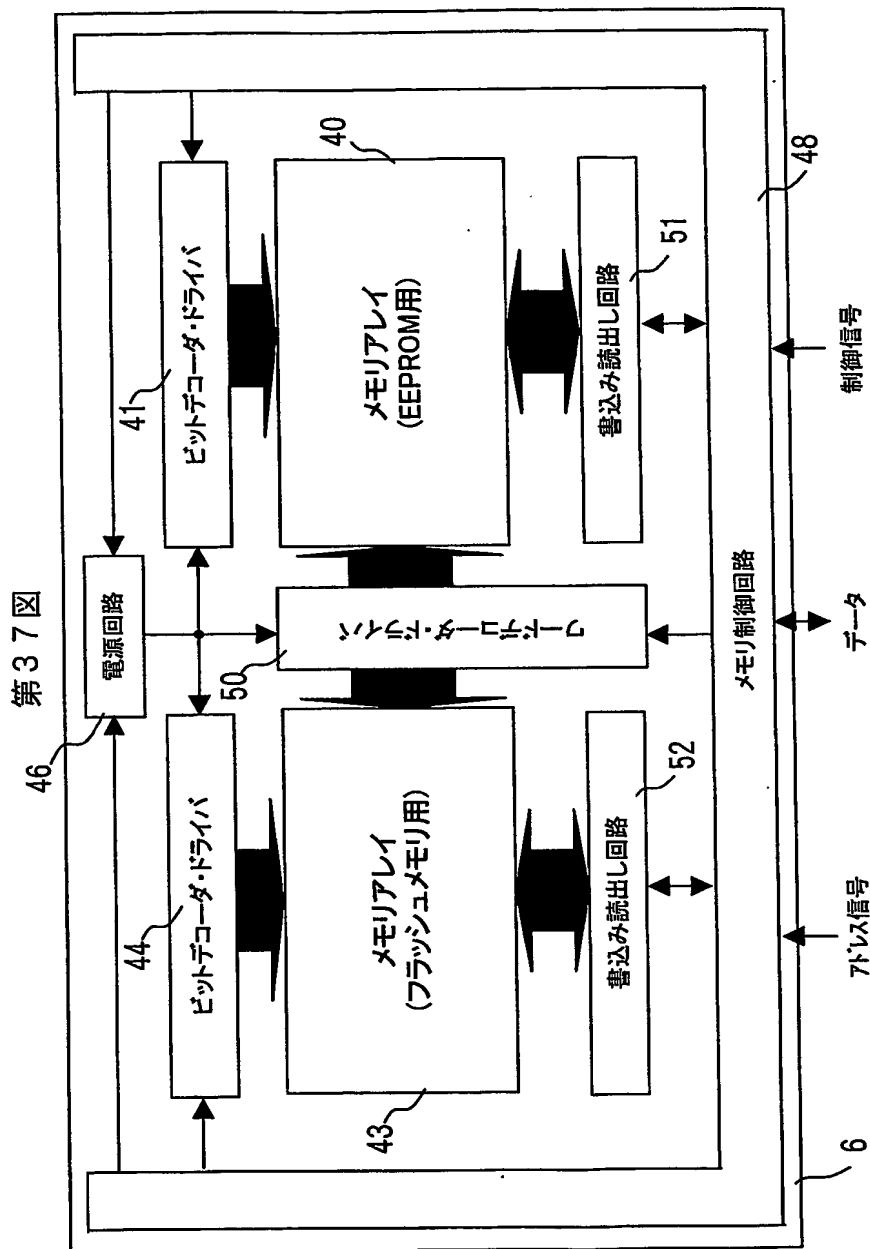


26 / 32

第36図



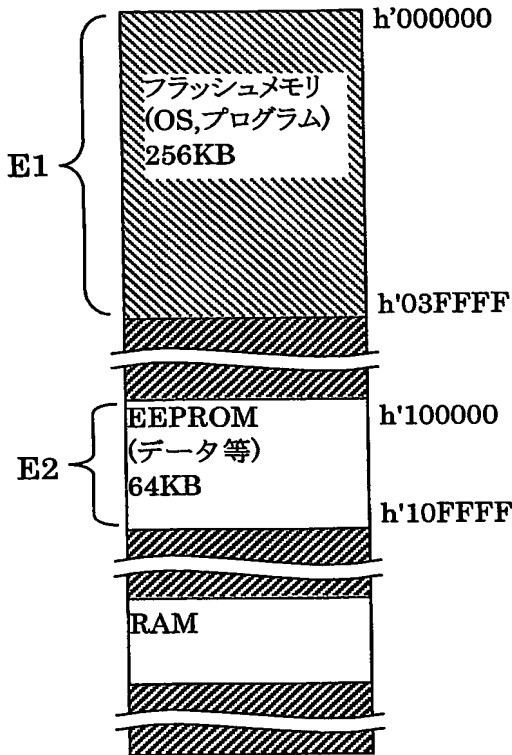
27/32



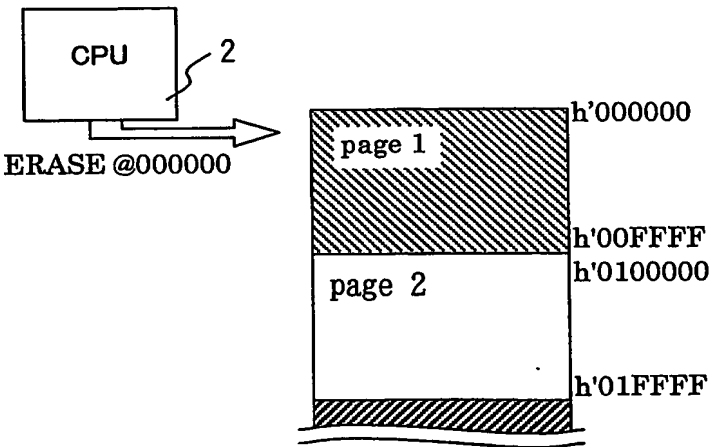


28 / 32

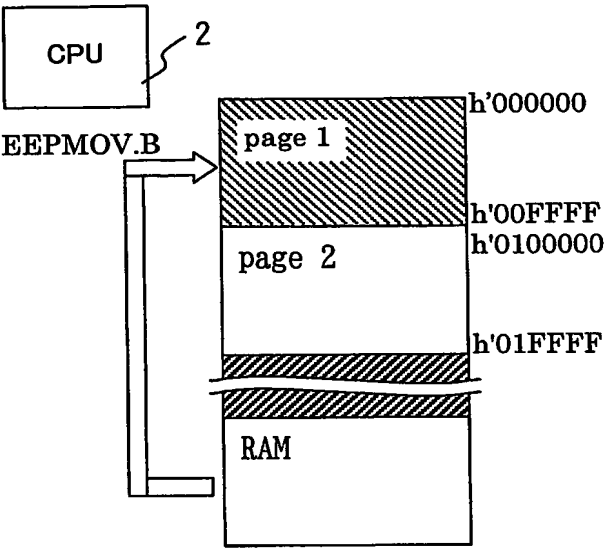
第 38 図



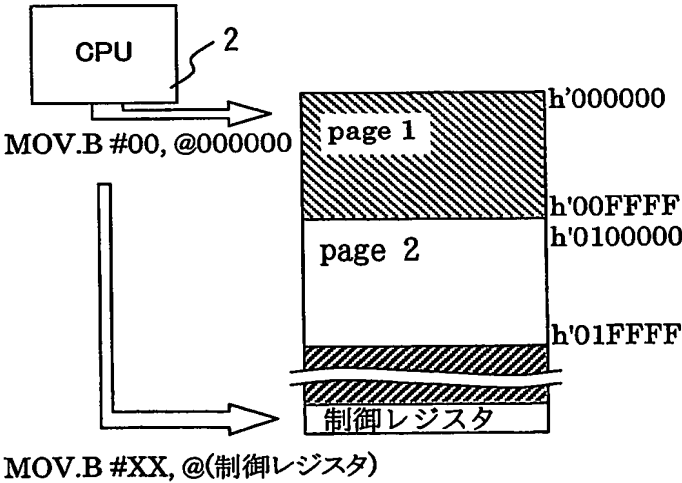
第 39 図



第 4 0 図

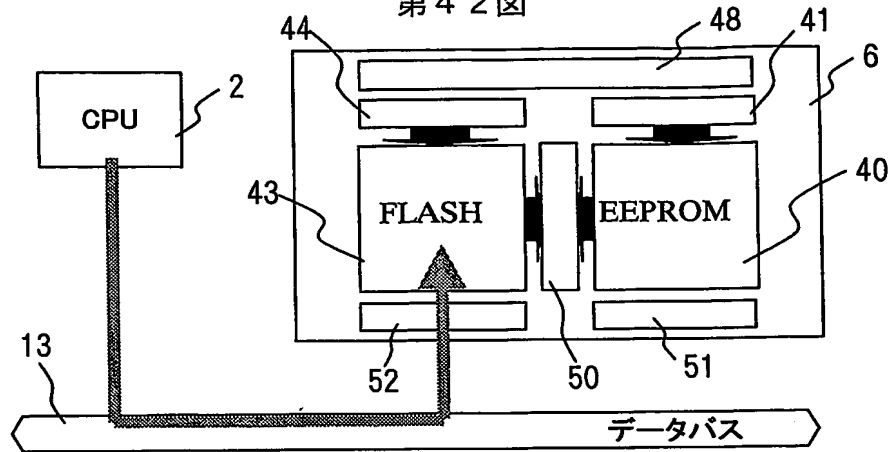


第 4 1 図

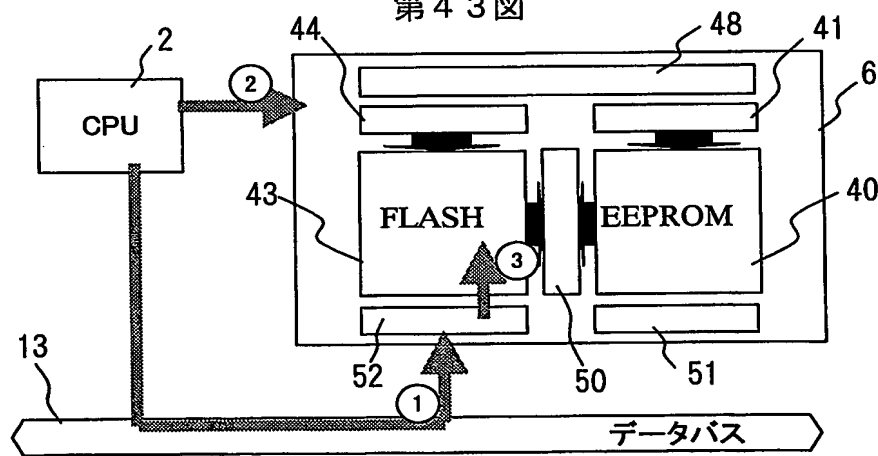


30/32

第 4 2 図

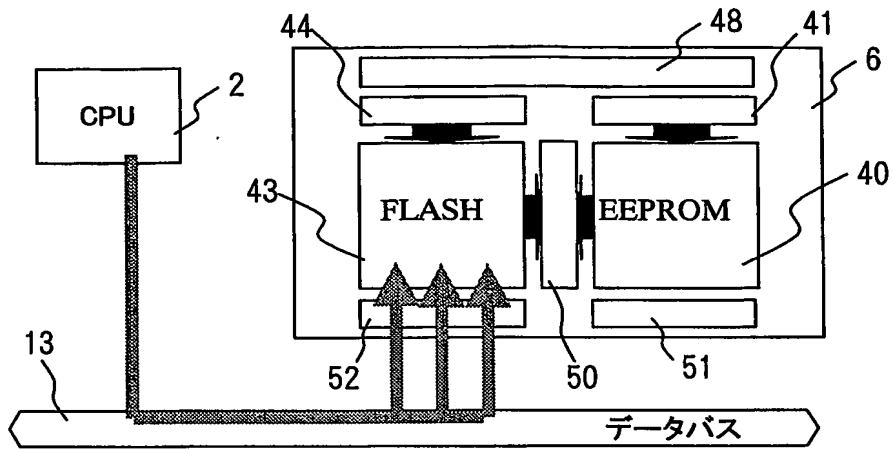


第 4 3 図



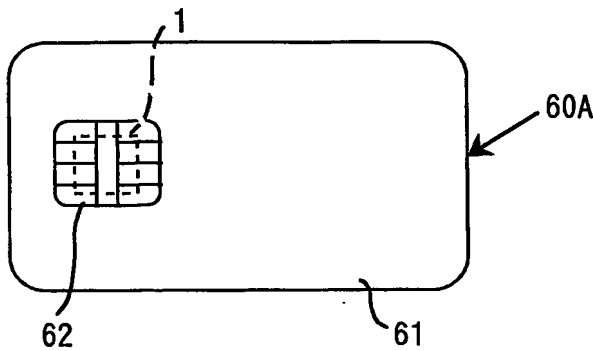
31 / 32

第44図

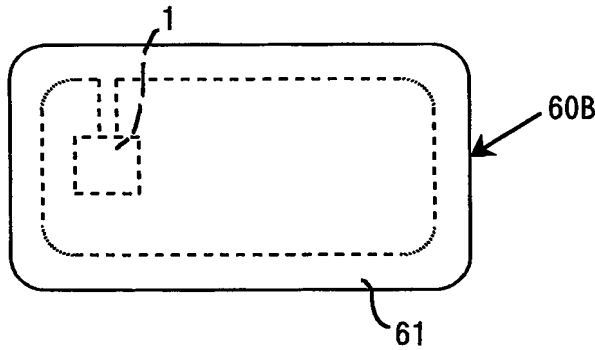


3 2 / 3 2

第 4 5 図



第 4 6 図



# INTERNATIONAL SEARCH REPORT

International application No.  
PCT/JP02/08757

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl<sup>7</sup> G06K19/00, G11C16/04

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl<sup>7</sup> G06K19/00, G11C16/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2003  
Kokai Jitsuyo Shinan Koho 1971-2003 Jitsuyo Shinan Toroku Koho 1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 10-198776 A (Dainippon Printing Co., Ltd.), 31 July, 1998 (31.07.98),	1-4, 10, 11, 18, 28, 29
Y	Full text; all drawings (Family: none)	5-9, 12, 13, 19-27, 30, 31
X	JP 10-334205 A (Kabushiki Kaisha Toshiba), 18 December, 1998 (18.12.98),	1-4, 10, 11, 18, 28, 29
Y	Full text; all drawings (Family: none)	5-9, 12, 13, 19-27, 30, 31
Y	JP 2000-21183 A (Matsushita Electric Industrial Co., Ltd.), 21 January, 2000 (21.01.00), Full text; all drawings (Family: none)	5-9, 23-27

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
16 January, 2003 (16.01.03)

Date of mailing of the international search report  
04 February, 2003 (04.02.03)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/08757

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 59-21058 A (NEC Corp.), 02 February, 1984 (02.02.84), Full text; all drawings (Family: none)	6-9, 24-27
Y	JP 2000-90676 A (Matsushita Electric Industrial Co., Ltd.), 31 March, 2000 (31.03.00), Full text; all drawings (Family: none)	7, 25
Y	US 5612913 A (SGS-Thomson Microelectronics, S.r.l.), 18 March, 1997 (18.03.97), Full text; all drawings & DE 69429264 D & EP 704851 A1 & JP 08-236731 A	8, 26
Y	JP 7-326684 A (Sony Corp.), 12 December, 1995 (12.12.95), Full text; all drawings (Family: none)	12, 13, 19, 20, 30, 31
Y	JP 2-96378 A (Hitachi, Ltd.), 09 April, 1990 (09.04.90), Full text; all drawings (Family: none)	12, 13, 19, 20, 30, 31
A	US 6097059 A (Sanyo Electric Co., Ltd.), 01 August, 2000 (01.08.00), Full text; all drawings & TW 389907 B & EP 851508 A1 & JP 11-31801 A & JP 11-31393 A & SG 72776 A	12-17, 19, 20, 30, 31
A	JP 4-364077 A (Toshiba Corp.), 16 December, 1992 (16.12.92), Full text; all drawings (Family: none)	12-17, 19, 20, 30, 31
A	JP 10-107231 A (NEC Corp.), 24 April, 1998 (24.04.98), Full text; all drawings (Family: none)	12-17, 19, 20, 30, 31
A	US 5553016 A (Kabushiki Kaisha Toshiba), 03 September, 1996 (03.09.96), Full text; all drawings & JP 05-275657 A	12-17, 19, 20, 30, 31
A	JP 3-126265 A (Toshiba Corp.), 29 May, 1991 (29.05.91), Full text; all drawings & DE 69027271 C	12-17, 19, 20, 30, 31

A. 発明の属する分野の分類 (国際特許分類 (IPC))  
Int.Cl<sup>7</sup> G06K19/00, G11C16/04

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))  
Int.Cl<sup>7</sup> G06K19/00, G11C16/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年  
日本国公開実用新案公報 1971-2003年  
日本国登録実用新案公報 1994-2003年  
日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	JP 10-198776 A(大日本印刷株式会社) 1998. 07. 31, 全文, 全図(ファミリーなし)	1-4, 10, 11, 18, 28, 29 5-9, 12, 13, 19-27, 30, 31
X Y	JP 10-334205 A(株式会社東芝) 1998. 12. 18, 全文, 全図(ファミリーなし)	1-4, 10, 11, 18, 28, 29 5-9, 12, 13, 19-27, 30, 31

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」 同一パテントファミリー文献

国際調査を完了した日

16. 01. 03

国際調査報告の発送日

04.02.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)  
郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)  
堀田 和義

5N 8840

電話番号 03-3581-1101 内線 3545



C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2000-21183 A(松下電器産業株式会社) 2000. 01. 21, 全文, 全図(ファミリーなし)	5-9, 23-27
Y	JP 59-21058 A(日本電気株式会社) 1984. 02. 02, 全文, 全図(ファミリーなし)	6-9, 24-27
Y	JP 2000-90676 A(松下電器産業株式会社) 2000. 03. 31, 全文, 全図(ファミリーなし)	7, 25
Y	US 5612913 A(SGS-Thomson Microelectronics, S. r. l) 1997. 03. 18, 全文, 全図 & DE 69429264 D & EP 704851 A1 & JP 08-236731 A	8, 26
Y	JP 7-326684 A(ソニー株式会社) 1995. 12. 12, 全文, 全図(ファミリーなし)	12, 13, 19, 20, 30, 31
Y	JP 2-96378 A(株式会社日立製作所) 1990. 04. 09, 全文, 全図(ファミリーなし)	12, 13, 19, 20, 30, 31
A	US 6097059 A(Sanyo Electric Co., Ltd) 2000. 08. 01, 全文, 全図 & TW 389907 B & EP 851508 A1 & JP 11-31801 A & JP 11-31393 A & SG 72776 A	12-17, 19, 20, 30, 31
A	JP 4-364077 A(株式会社東芝) 1992. 12. 16, 全文, 全図(ファミリーなし)	12-17, 19, 20, 30, 31
A	JP 10-107231 A(日本電気株式会社) 1998. 04. 24, 全文, 全図(ファミリーなし)	12-17, 19, 20, 30, 31
A	US 5553016 A(Kabushiki Kaisha Toshiba) 1996. 09. 03, 全文, 全図 & JP 05-275657 A	12-17, 19, 20, 30, 31
A	JP 3-126265 A(株式会社東芝) 1991. 05. 29, 全文, 全図 & DE 69027271 C	12-17, 19, 20, 30, 31

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**